

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 7 月 5 日 (05.07.2001)

PCT

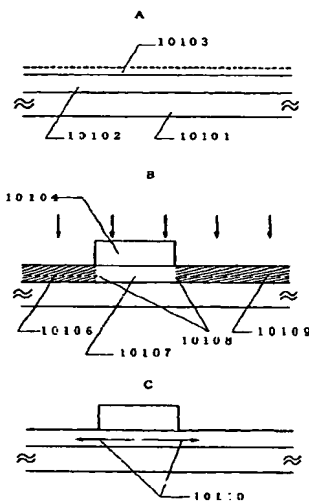
(10) 国際公開番号
WO 01/48797 A1

- (51) 国際特許分類⁷: H01L 21/20 ENERGY LABORATORY CO., LTD. (JP/JP); 〒243-0036 神奈川県厚木市長谷398番地 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP00/09430
- (22) 国際出願日: 2000 年 12 月 28 日 (28.12.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願平 11/375607
1999 年 12 月 28 日 (28.12.1999) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 半導体エネルギー研究所 (SEMICONDUCTOR ENERGY RESEARCH CO., LTD.)
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 中村 理 (NAKA-MURA, Osamu) (JP/JP). 勝村 学 (KATSUMURA, Manabu) (JP/JP). 山崎 舜平 (YAMAZAKI, Shunpei) (JP/JP); 〒243-0036 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 Kanagawa (JP).
- (74) 代理人: 弁理士 加茂裕邦 (KAMO, Hirokuni); 〒220-0004 神奈川県横浜市西区北幸2-5-21 新井ビル 3階 加茂特許事務所 Kanagawa (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の作製方法



(57) Abstract: A production method for a semiconductor device, which is excellent in gettering efficiency, and which provides an innovatively engineered shape of an island-like insulation film on a poly-Si film used in implanting phosphorus when gettering is carried out by adding phosphorus into a poly-Si film, which has been crystallized by adding a metal thereto, and then by heat-treating the resultant film, whereby the area of a boundary surface between a phosphorus-added region and a non-phosphorus-added region is increased to enhance a gettering efficiency.

(57) 要約:

WO 01/48797 A1

本発明は、ゲッタリング効率の良い半導体装置の作製方法に関し、この方法は、金属を添加して結晶化したpoly-Si膜中に、リンを添加し加熱処理をしてゲッタリングをする場合に、リンを打ち込む際に用いるpoly-Si膜上の島状絶縁膜の形状に工夫を施す。それにより、リンが添加された領域と添加されていない領域の境界面の面積を増大し、ゲッタリングの効率を高める。



DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置の作製方法

技術分野

本発明は珪素を主成分とする結晶質半導体薄膜を利用した半導体装置の作製方法に関する技術である。特に、絶縁基板上に珪素を主成分とする結晶質半導体薄膜を有する基板を利用した薄膜トランジスタ（以下、TFTと記す）の作製方法に関する。

本明細書において、半導体装置とは半導体を利用して機能する装置全般を指すものであり、TFTの如き単体素子のみならず、演算処理装置、記憶処理装置、電気光学装置などそれを搭載した電子デバイス等も半導体装置の範疇に含まれる。

背景技術

アクティブマトリクス型液晶表示装置は、同一基板上に画素マトリクス回路とドライバー回路とを設けたモノリシック型表示装置である。モノリシック型表示装置は、薄膜トランジスタ（TFT）を用いることが主流である。薄膜トランジスタは、ガラス基板、石英基板などの絶縁基板上に非晶質珪素膜（アモルファスシリコン膜）を形成し活性層としている。TFTを利用して、メモリ回路やクロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発も進められている。

このようなドライバー回路やロジック回路は高速動作を行う必要があるので、石英基板、ガラス基板上に活性層として非晶質珪素膜を成膜し、素子として用いることは不適當である。そのため、現在では多結晶質珪素膜を活性層としたTFTが製造されている。

石英基板、ガラス基板上に非晶質珪素膜を成膜した後、結晶化により多結晶珪素膜を得る技術は幾つか存在する。そのなかでも、素子を形成したときに優れた素子の電気的特性が得られ、非晶質珪素膜の結晶化を促進する触媒金属元素を添加し、加熱処理により結晶化する技

術が知られている。以下に、この技術をさらに詳しく説明する。

石英基板、ガラス基板などの絶縁性の基板上に、LPCVD装置やPECVD装置で、50nmから100nm程度の珪素を主成分とする非晶質構造を有する半導体薄膜を形成する。前記非晶質構造を有する半導体薄膜の表面や膜中に、金属を添加し加熱処理することにより、前記非晶質構造を有する半導体薄膜を固相結晶化する。前記非晶質構造を有する半導体薄膜が固相結晶化することにより、珪素を主成分とする結晶質半導体薄膜となる。前記金属の添加により固相結晶化が促進されることは、本発明者らにより確認されており、前記金属は固相結晶化に際に、触媒として働くと言える。前記金属を本明細書では触媒金属とする。

前記非晶質構造を有する半導体薄膜が、金属を触媒として加熱処理により結晶化する現象は、Metal Induced Lateral crystallization (MILC)として多数報告されている。代表的なものとして、ニッケル(Ni)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、銅(Cu)などの遷移金属元素がある。触媒金属の存在により、触媒金属を添加しない場合に比べて前記非晶質構造を有する半導体薄膜が固相結晶化に要する温度や時間の点で有利となる。実験によれば、Ni元素は、触媒金属として非常に優れている。以下では、触媒金属としてNi元素を用いたことを前提とする。

前記非晶質構造を有する半導体薄膜の固相結晶化に要する加熱処理は、電気炉などにより400℃～700℃で数時間以上である。

本明細書では、珪素を主成分とする非晶質構造を有する半導体薄膜とは、非晶質構造を有するSiGe薄膜で、かつGeの成分比が50%未満のものなども含む。

発明の開示

前記非晶質構造を有する半導体薄膜の結晶化を促進する触媒金属には、ニッケル(Ni)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、銅(Cu)など遷移金属元素が用いられる。一般的によく知られて

いるように、N iなどの金属は、結晶質の珪素中に存在すると、深い準位を形成し素子の電気特性や信頼性に悪影響を及ぼす。よって、素子が形成され素子として使用される領域（素子活性領域）から、N i元素などの金属を除去する必要がある。前記結晶質半導体薄膜も、触媒金属による素子特性への悪影響が懸念される。

よって、素子活性領域から、電気特性に影響を及ぼさない程度までに、N i元素などの金属を除去する必要がある。結晶質の珪素中の素子活性領域中から、N i元素などの金属を除去することを、一般的にゲッタリングと言う。以下に、本発明者らにより確かめられているゲッタリングの方法を述べる。

前記結晶質半導体薄膜上に絶縁膜を形成する。前記絶縁膜は、C V D装置やスパッタ装置により酸化珪素膜または窒化珪素膜などを成膜する。次に、前記絶縁膜を島状に形成する。半導体技術で一般的なフォトリソグラフィとエッチングにより、前記絶縁膜の島状物は形成できる。

前記絶縁膜をマスクとして、非金属元素または該非金属元素のイオンを、前記結晶質半導体薄膜に添加し、前記結晶質半導体薄膜に前記非金属元素または該非金属元素イオンが添加された領域を形成する。つまり、前記結晶質半導体薄膜上に前記絶縁膜の島状物が存在する領域は、前記非金属元素または該非金属元素イオンが添加されずに、前記の島状物が存在しない領域に添加される。前記非金属元素または該非金属元素イオンは、気相からの熱拡散やイオン注入装置などにより添加する。

前記非金属元素または該非金属元素イオンは、ボロン（B）、珪素（S i）、磷（P）、ヒ素（A s）、ヘリウム（H e）、ネオン（N e）、アルゴン（A r）、K r（クリプトン）、キセノン（X e）から選ばれた1種または複数種である。

単結晶珪素での遷移金属元素のゲッタリングの機構や現象は盛んに研究されており、かなりの部分が明らかになっている。多結晶珪素で

のゲッタリングについては、詳しくわかっていないところもあるが、単結晶珪素の場合を参考することができる。多結晶珪素においてもイオン打ち込み法（イオン注入法）により導入される、ダメージは有効なゲッタリングとなる。イオン注入より原子が跳ね飛ばされた跡は局部的に非晶質化し、続く加熱処理によって非晶質部を再結晶化させる際に高密度の結晶欠陥などが導入される。よって、ゲッタリングの際にイオン注入により添加する前記非金属元素または該非金属元素イオンには、イオン打ち込み可能であって、ゲッタリングする金属よりも拡散係数が小さく加熱処理によっても素子活性領域までほとんど拡散しないか、電氣的に不活性で素子特性に対して影響がなければよい。

前記の条件に当たる元素には、B、Si、P、As、He、Ne、Ar、Kr、Xeから選ばれた1種または複数種がある。ただし、イオン種、ドーズ量、加速エネルギーの違いにより、粒界、微少双晶、積層欠陥、転位ループ、転位網などのダメージが発生の様子も違ってくると思われる。また、燐（P）など、気相から拡散した場合でも、結晶質珪素中に添加されるとミスフィット転移を形成しゲッタリング源となる。燐（P）を前記結晶質半導体薄膜に添加すると、前記触媒金属のゲッタリングに有効であることは本発明者らによって確認されている。

次に、前記結晶質半導体薄膜に400℃以上1000℃以下の加熱処理をして、前記非金属元素または該非金属元素のイオンが添加された領域に前記金属をゲッタリングする。発明者らの実験により、特に燐（P）は顕著なゲッタリング効果があることは確かめられている。

一般的に、ゲッタリングは素子活性領域外にゲッタリングするサイトを形成し、加熱処理によりゲッタリングサイトに金属を偏析することにより達成する。前述の薄膜の作製を含む、半導体素子の形成技術では、加熱処理は必須であるが、熱供給量＝温度×時間は小さいほど望ましい。熱供給量を小さくすれば、経済的に有利となり、時間短縮ができる。それ以外にも、半導体基板のそりや縮みの軽減、素子活性

領域付近の余分な応力発生などが防げる。また、ゲッタリング工程後、素子活性領域中にゲッタリングできずに残留する金属も少なければ少ないほどよい。

ガラス基板または石英基板 1 0 1 0 1 上に珪素を主成分とする非晶質構造を有する半導体薄膜 1 0 1 0 2 を形成する。前記非晶質構造を有する半導体薄膜 1 0 2 に金属を添加する。前記金属にはニッケル (N i)、コバルト (C o)、パラジウム (P d)、白金 (P t)、銅 (C u) などが考えられるが、課題を解決する手段の項では N i とし、酢酸 N i 塩溶液 1 0 1 0 3 を塗布するとする。

前記非晶質構造を有する半導体薄膜 1 0 1 0 2 を、前記金属を触媒として、4 0 0 ℃ 以上 7 0 0 ℃ 以下の加熱処理により、固相結晶化し珪素を主成分とする結晶質半導体薄膜を得る (図 1 A)。N i は固相結晶化を促進するのに非常に有効な金属であることが、発明者らの実験により確認されている。

前記結晶質半導体薄膜上 1 0 1 0 7 に絶縁膜を成膜した後、絶縁膜を島状物 1 0 1 0 4 に微細加工する。前記絶縁膜の島状物 1 0 1 0 4 をマスクとして、非金属元素または該非金属元素のイオンを前記結晶質半導体薄膜に添加する (図 1 B)。課題を解決するための手段の項では、前記非金属元素として燐 (P) を用いたとする。

燐 (P) 以外にも、B、S i、A s、H e、N e、A r、K r、X e などがゲッタリングに有効と考えられる。これらの元素は、イオン注入とそれに続く加熱処理により p o l y-S i 膜にダメージを導入できること、ゲッタリングする金属よりも拡散しにくい、不活性で素子特性に影響を及ぼさない元素である。

前記結晶質半導体薄膜に、非金属元素または該非金属元素のイオンが添加された領域 1 0 1 0 6、1 0 1 0 9 を形成する。前記結晶質半導体薄膜に、4 0 0 ℃ 以上 1 0 0 0 ℃ 以下の加熱処理をして、前記非金属元素または該非金属元素のイオンが添加された領域に前記金属をゲッタリングする。(図 1 C) 図 1 C 中において、1 0 1 1 0 は N i

が移動する方向である本発明のる。

本発明の特徴の一つは、結晶質半導体薄膜に非金属元素または非金属元素のイオンを添加してゲッタリングサイトを形成するプロセスと、加熱処理するプロセスとを有しており、該加熱処理により結晶質半導体薄膜に含まれる金属が移動してゲッタリングサイト（非金属元素または非金属元素のイオンが添加された領域）に捕獲され、ゲッタリングサイト以外の結晶質半導体薄膜から金属を除去または低減することである。

本発明の主たる構成は、前記結晶質半導体薄膜 10206 の表面 10203 と平行な面に対する前記島状の絶縁膜形状 10301、10201 が、頂点の数 n ($n > 20$) 個を有する多角形であって、かつ該頂点のうち内角が 180 度以上である頂点の数 m ($m > 8$) 個を有する多角形であることである。

以上により、前記非金属元素または該非金属元素のイオンが添加された領域 10106、10109 と添加されない領域との境界面 10108 の面積を増大させ、ゲッタリングの効率および効果のうち、少なくとも一つを改善する。

一般的に、ゲッタリングの進行は、金属の素子活性領域中からの開放ステップ、拡散ステップ、ゲッタリングサイトにおける捕獲ステップよりなる。前記境界面の面積を大きくし、前記金属の拡散現象を促進するなどにより、ゲッタリングの効率もしくは効果を上げることをねらいとしている。

図の簡単な説明

図 1 は、本発明の半導体薄膜の結晶化とゲッタリングの模式図を示す。

図 2 は、本発明のゲッタリングの際に形成する、半導体薄膜と酸化珪素膜の島状物の模式図を示す。

図 3 は、本発明のゲッタリングの際に形成する、半導体薄膜と酸化珪素膜の島状物の模式図を示す。

図 4 は、画素 T F T、駆動回路の T F T の作製工程の断面図を示す。

図 5 は、画素 T F T、駆動回路の T F T の作製工程の断面図を示す。

図 6 は、画素 T F T、駆動回路の T F T の作製工程の断面図を示す。

図 7 は、画素 T F T、駆動回路の T F T の作製工程の断面図を示す。

図 8 は、駆動回路の T F T と画素 T F T の構造の上面図を示す。

図 9 は、駆動回路の T F T と画素 T F T の構造の断面図を示す。

図 10 は、画素 T F T、駆動回路の T F T の作製工程の断面図を示す。

図 11 は、画素 T F T、駆動回路の T F T の作製工程の断面図を示す。

図 12 は、アクティブマトリクス型液晶表示装置の作製工程の断面図を示す。

図 13 は、アクティブマトリクス型液晶表示装置の構成の断面図を示す。

図 14 は、液晶表示装置の入力端子、配線、回路配置、スペーサ、シール剤の配置を説明する上面図を示す。

図 15 は、液晶表示装置の構成を説明する斜視図を示す。

図 16 は、画素部の画素の上面図を示す。

図 17 は、E L 表示装置の構造の上面図及び断面図を示す。

図 18 は、E L 表示装置の画素部の断面図を示す。

図 19 は、E L 表示装置の画素部の上面図と回路図を示す。

図 20 は、E L 表示装置の画素部の回路図の例を示す。

図 21 は、半導体装置の一例を示す図である。

図 22 は、半導体装置の一例を示す図である。

図 23 は、プロジェクターの一例を示す図である。

図 24 は、ゲッタリング後の F P M 処理により観察されるエッチピット密度を示すグラフを示す。

図 25 は、ゲッタリング後の F P M 処理により観察されるエッチピットを示す簡略図を示す。

発明を実施するための最良の形態

石英基板 10101 に、LPCVD 装置により、50 nm 程度の非晶質の珪素膜 (a-Si 膜) 10102 を成膜する。

酢酸 Ni 塩溶液 10103 をスピコート法により滴下する。酢酸 Ni 塩溶液の Ni 濃度は重量換算で 10 ppm ほどである。酢酸 Ni 塩溶液を滴下する前に、酸素雰囲気中で UV 光を照射することなどにより、極薄の酸化珪素膜 (SiO₂ 膜) を形成し、a-Si 膜表面にて酢酸 Ni 塩溶液を濡れやすくする必要がある。

Ni などの金属の添加方法は、液相から添加する以外に、イオンインプラント装置による方法や、a-Si 膜上に金属の蒸着膜を成膜する方法などがある。

石英基板 (a-Si 膜を有する) を、窒素雰囲気中で 600 °C で数時間以上の加熱処理を行う。Ni 元素を添加することにより、Ni を添加しない場合と比較して、遙かに短い時間で a-Si 膜全体が固相結晶化することは確認されている。固相結晶化したことにより多結晶質の珪素膜 (poly-Si) となる。Ni は a-Si 膜中に初期核が発生する際にも、a-Si 膜の全体が結晶化する際にも関係することは、発明者らにより確認されている。

触媒金属を a-Si 膜に添加すると結晶化が促進される現象は、Metal Induced Lateral crystallization (MILC) として多数報告されており、ニッケル (Ni)、コバルト (Co)、パラジウム (Pd)、白金 (Pt)、銅 (Cu) などの遷移金属元素がある。発明者らの実験により Ni 元素は、触媒金属として非常に優れていることが判明している。

一般的によく知られているように、Ni などの金属は、結晶質の珪素中に存在すると、深い準位を形成し素子の電気特性や信頼性に悪影響を及ぼす。よって、素子が形成され素子として使用される領域 (素子活性領域) から、Ni などの金属を除去する必要がある。触媒金属により結晶化した poly-Si 膜も、触媒金属による素子特性への

悪影響が懸念される。

よって、素子活性領域から、電気特性に影響を及ぼさない程度までに、Ni元素などの金属を除去する必要がある。結晶質の珪素中の素子活性領域中から、Ni元素などの金属を除去することを、一般的にゲッタリングと言う。

前記のpoly-Si膜上に、150nm程度の酸化珪素膜を成膜する。酸化珪素膜は、LTO (low temperature oxide) 膜である。成膜する絶縁膜は、酸化珪素膜の他に窒化珪素膜などが考えられ、その成膜方法もPCVD装置、LPCVD装置、スパッタ装置などがある。

成膜したpoly-Si膜が島形状10104になるように、フォトリソグラフィとエッチングにより微細加工する。

poly-Si膜の表面10203と平行な面10202で前記島状物を切り取ったときにできる断面形状10208を考える。本発明の主たる構成は、その断面形状が、頂点の数 n ($n > 20$) 個を有する多角形であって、かつ、その頂点のうち内角が180度以上である頂点の数 m ($m > 8$) 個を有する多角形とすることである。本実施形態1では、コッホ曲線を参考に、島状物の断面形状を図2Bのようにした。コッホ曲線とは、フラクタル幾何で有名な図形である。

酸化珪素膜の島状物をマスクとして、プラズマドーピング装置により、燐(P)をpoly-Si膜に添加する(図1B)。イオン注入量 $1 \times 10^{15} \text{ atoms/cm}^2$ 、加速電圧10kVの条件である。酸化珪素膜の膜厚を考慮して、酸化珪素膜の島状物10104をPイオンが突き抜けられないような加速電圧、イオン注入量とすべきである。燐(P)以外にも、B、Si、He、As、Ne、Ar、Kr、Xeなどがゲッタリングに有効と考えられる。これらの元素は、イオン注入とそれに続く加熱処理によりpoly-Si膜にダメージを導入できること、ゲッタリングする金属よりも拡散しにくい、不活性で素子特性に影響を及ぼさない元素である。

プラズマドーピング装置は、L S I 製造に使用されるイオンインプラント装置と違い、イオンを打ち込む際に質量分離する機構がない。そのために、イオンインプラント装置と比較して、打ち込み量や打ち込み深さをコントロールする精度が劣るという面もある。ただし、大面積を効率よくイオン注入することができるために、T F T 製造では多用されている。

燐 (P) のイオン注入の後に、窒素雰囲気中で 6 0 0 ℃、5 h r 程度の加熱処理を行い (図 1 C)、p o l y - S i 膜中の燐 (P) が添加された領域 1 0 1 0 6、1 0 1 0 9 に、結晶化の際に触媒金属とした N i をゲッタリングする。燐 (P) を添加することにより、顕著なゲッタリングの効果あることは発明者らによりすでに確認されている。ゲッタリングの際の加熱処理は、4 0 0 ℃以上から 1 0 0 0 ℃以下とする。

酸化珪素膜の島状物の形を先のような複雑な多角形 1 0 2 0 8 とした理由は、p o l y - S i 膜中の燐 (P) の添加領域と非添加領域とが接する面 1 0 1 0 8 の面積を増大するためである。添加領域と非添加領域が接する面積を大きくし、前記金属の拡散現象を促進するなどにより、ゲッタリングの効率もしくはその効果を上げることをねらいとしている。

ゲッタリングにより、素子活性領域の被ゲッタリング金属の濃度を素子特性に影響を及ぼさない程度にまで軽減する。

a - S i 膜の固相結晶化とゲッタリングが終了した後は、通常の T F T アレイ基板の作製を行い、液晶デバイスや有機 E L デバイスまで作製する。

[実施例 1]

本実施例では表示装置を作製するための工程を示し、画素部の画素 T F T および保持容量と、表示領域の周辺に設けられる駆動回路の T F T を同時に作製する方法について図 4 ~ 図 6 を用い工程に従って詳細に説明する。

図4Aにおいて、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10~20℃程度低い温度であらかじめ熱処理しておいても良い。そして、基板101のTFTを形成する表面に基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜102を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜102aを10~200nm(好ましくは50~100nm)、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜102bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。

酸化窒化シリコン膜は平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、 SiH_4 を10SCCM、 NH_3 を100SCCM、 N_2O を20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm²、放電周波数60MHzとする。一方、酸化窒化水素化シリコン膜102bは、 SiH_4 を5SCCM、 N_2O を120SCCM、 H_2 を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm²、放電周波数60MHzとする。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

上記条件にて作製される酸化窒化シリコン膜102aは、密度が $9.28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム(NH_4HF_2)を7.13%とフッ化アンモニウム(NH_4F)を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)の20℃におけるエッチング速度が約63nm/minと遅く、緻密で硬い膜である。このよ

うな膜を下地膜に用いると、この上に形成する半導体膜にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

次に、25～80 nm（好ましくは30～60 nm）の厚さで非晶質構造を有する半導体膜103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55 nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体膜103aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスをSiH₄、N₂O、H₂からSiH₄とH₂或いはSiH₄のみに切り替えれば、一旦大気雰囲気に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFETの特性バラツキやしきい値電圧の変動を低減させることができる。

本明細書の実施形態1と同様に、金属触媒を用いた結晶化とその金属のゲッタリングを行う。ゲッタリングの際に用いた酸化珪素膜の島状物は、ウェットエッチングにより取り除く。

そして、図4Cに示すように結晶質半導体膜103b上にフォトマスク1（PM1）を用い、フォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体膜を島状に分割し、島状半導体膜104～108を形成する。ドライエッチングにはCF₄とO₂の混合ガスを用いる。その後、プラズマCVD法またはスパッタ法により50～100 nmの厚さの酸化シリコン膜によるマスク層194を形成する。

この状態で島状半導体膜に対し、TFETのしきい値電圧（V_{th}）を制御する目的でp型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³程度の濃度で島状半導体膜の全面に添加しても良い。半導体

に対してp型を付与する不純物元素には、ホウ素（B）、アルミニウム（Al）、ガリウム（Ga）など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドープ法を用いることができるが、大面積基板を処理するにはイオンドープ法が適している。イオンドープ法ではジボラン（ B_2H_6 ）をソースガスとして用いホウ素（B）を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特にnチャネル型TFETのしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

駆動回路のnチャネル型TFETのLDD領域を形成するために、n型を付与する不純物元素を島状半導体膜105、107に選択的に添加する。あらかじめレジストマスク195a～195eを形成する。n型を付与する不純物元素としては、リン（P）や砒素（As）を用いれば良く、ここではリン（P）を添加すべく、フォスフィン（ PH_3 ）を用いたイオンドープ法を適用する。形成された不純物領域は低濃度n型不純物領域196、197として、このリン（P）濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域196、197に含まれるn型を付与する不純物元素の濃度を（n-）と表す。また、不純物領域198は、画素マトリクス回路の保持容量を形成するための半導体膜であり、この領域にも同じ濃度でリン（P）を添加する（図4D）。

その後、添加した不純物元素を活性化させる処理を行う。活性化の処理は実施形態7で説明したレーザー光を用いた熱処理により行う。熱処理条件の一例は、レーザーパルス発振周波数1kHzとし、レーザーエネルギー密度を $100 \sim 300 \text{ mJ/cm}^2$ （代表的には $150 \sim 250 \text{ mJ/cm}^2$ ）とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を80～99%（好ましくは、95～99%）として行う。

ゲート絶縁膜109はプラズマCVD法またはスパッタ法を用い、膜厚を40～150nmとしてシリコンを含む絶縁膜で形成する。例

例えば、120 nmの厚さで酸化窒化シリコン膜から形成すると良い。また、 SiH_4 と N_2O に O_2 を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い（図4E）。

そして、図4Eに示すように、ゲート絶縁膜109上にゲート電極を形成するための耐熱性導電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。このような耐熱性導電性材料を用い、例えば、導電性の窒化物金属膜から成る導電層(A) 110と金属膜から成る導電層(B) 111とを積層した構造とすると良い。導電層(B) 111はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜（代表的にはMo-W合金膜、Mo-Ta合金膜）で形成すれば良く、導電層(A) 110は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)などで形成する。また、導電層(A) 110はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B) 111は低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30 ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30 ppm以下とすることで $20\ \mu\Omega\text{cm}$ 以下の比抵抗値を実現することができる。

導電層(A) 110は10～50 nm（好ましくは20～30 nm）とし、導電層(B) 111は200～400 nm（好ましくは250～350 nm）とすれば良い。Wをゲート電極とする場合には、Wをターゲットとしたスパッタ法で、アルゴン(Ar)ガスと窒素(N_2)ガスを導入して導電層(A) 111を窒化タングステン(W

N) で 50 nm の厚さに形成し、導電層 (B) 110 を W で 250 nm の厚さに形成する。その他の方法として、W 膜は 6 フッ化タングステン (WF₆) を用いて熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は $20 \mu\Omega\text{cm}$ 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999% の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega\text{cm}$ を実現することができる。

一方、導電層 (A) 110 に TaN 膜を、導電層 (B) 111 に Ta 膜を用いる場合には、同様にスパッタ法で形成することが可能である。TaN 膜は Ta をターゲットとしてスパッタガスに Ar と窒素との混合ガスを用いて形成し、Ta 膜はスパッタガスに Ar を用いる。また、これらのスパッタガス中に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 α 相の Ta 膜の抵抗率は $20 \mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相の Ta 膜の抵抗率は $180 \mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。TaN 膜は α 相に近い結晶構造を持つので、この上に Ta 膜を形成すれば α 相の Ta 膜が容易に得られた。尚、図示しないが、導電層 (A) 110 の下に $2 \sim 20 \text{ nm}$ 程度の厚さでリン (P) をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層 (A) 110 または導電層 (B) 111 が微量に含有するアルカリ金属元素がゲート絶縁膜 109 に拡散するのを防ぐことができる。いずれにしても、導電層 (B) 111 は抵抗率を $10 \sim 50 \mu\Omega\text{cm}$ の範囲ですることが好ましい。

次に、フォトマスク 2 (PM2) を用い、フォトリソグラフィの

技術を使用してレジストマスク 1 1 2 ~ 1 1 7 を形成し、導電層 (A) 1 1 0 と導電層 (B) 1 1 1 とを一括でエッチングしてゲート電極 1 1 8 ~ 1 2 2 と容量配線 1 2 3 を形成する。ゲート電極 1 1 8 ~ 1 2 2 と容量配線 1 2 3 は、導電層 (A) から成る 1 1 8 a ~ 1 2 2 a と、導電層 (B) から成る 1 1 8 b ~ 1 2 2 b とが一体として形成される (図 5 A)。

導電層 (A) および導電層 (B) をエッチングする方法は実施者が適宜選択すれば良いが、前述のように W を主成分とする材料で形成されている場合には、高速でかつ精度良くエッチングを実施するために高密度プラズマを用いたドライエッチング法を適用することが望ましい。高密度プラズマを得る手法の一つとして、誘導結合プラズマ (Inductively Coupled Plasma: ICP) エッチング装置を用いると良い。

ICP エッチング装置を用いた W のエッチング法は、エッチングガスに CF_4 と Cl_2 の 2 種のガスを反応室に導入し、圧力 0.5 ~ 1.5 Pa (好ましくは 1 Pa) とし、誘導結合部に 200 ~ 1000 W の高周波 (13.56 MHz) 電力を印加する。この時、基板が置かれたステージには 20 W の高周波電力が印加され、自己バイアスで負電位に帯電することにより、正イオンが加速されて異方性のエッチングを行うことができる。ICP エッチング装置を使用することにより、W などの硬い金属膜も 2 ~ 5 nm/秒のエッチング速度を得ることができる。また、残渣を残すことなくエッチングするためには、10 ~ 20 % 程度の割合でエッチング時間を増しオーバーエッチングをすると良い。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W 膜に対する酸化窒化シリコン膜 (ゲート絶縁膜 109) の選択比は 2.5 ~ 3 であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は 20 ~ 50 nm 程度エッチングされて実質的に薄くなる。

そして、画素 TFT の n チャネル型 TFT に LDD 領域を形成するために、n 型を付与する不純物元素添加の工程 (n--ドープ工程) を

行う。ゲート電極 118～122 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドープ法で添加した。n 型を付与する不純物元素として添加するリン (P) の濃度は $1 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³ の濃度範囲で添加する。このようにして、図 5 B に示すように島状半導体膜に低濃度 n 型不純物領域 124～129 を形成する。

次に、n チャネル型 T F T に対して、ソース領域またはドレイン領域として機能する高濃度 n 型不純物領域の形成を行う (n+ドープ工程)。まず、フォトマスク 3 (PM3) を用い、レジストのマスク 130～134 を形成し、n 型を付与する不純物元素を添加して高濃度 n 型不純物領域 135～140 を形成する。n 型を付与する不純物元素にはリン (P) を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ の濃度範囲となるようにフォスフィン (PH₃) を用いたイオンドープ法で行う (図 5 C)。

そして、p チャネル型 T F T を形成する島状半導体膜 104、106 にソース領域およびドレイン領域とする高濃度 p 型不純物領域 144、145 を形成する。ここでは、ゲート電極 118、120 をマスクとして p 型を付与する不純物元素を添加し、自己整合的に高濃度 p 型不純物領域を形成する。このとき n チャネル型 T F T を形成する島状半導体膜 105、107、108 は、フォトマスク 4 (PM4) を用いてレジストマスク 141～143 を形成し全面を被覆しておく。高濃度 p 型不純物領域 144、145 はジボラン (B₂H₆) を用いたイオンドープ法で形成する。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm³ となるようにする (図 5 D)。

この高濃度 p 型不純物領域 144、145 には、前工程においてリン (P) が添加されていて、高濃度 p 型不純物領域 144 a、145 a には $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ の濃度で、高濃度 p 型不純物領域 144 b、145 b には $1 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³ の濃度で含有しているが、この工程で添加するボロン (B) の濃度を 1.5 から 3 倍とすることにより、p チャネル型 T F T のソース領域およ

びドレイン領域として機能する上で何ら問題は生じない。

その後、図 6 A に示すように、ゲート電極およびゲート絶縁膜上から保護絶縁膜 146 を形成する。保護絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても保護絶縁膜 146 は無機絶縁物材料から形成する。保護絶縁膜 146 の膜厚は 100 ~ 200 nm とする。ここで、酸化シリコン膜を用いる場合には、プラズマ CVD 法で、TEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 °C とし、高周波 (13.56 MHz) 電力密度 0.5 ~ 0.8 W/cm² で放電させて形成する。酸化窒化シリコン膜を用いる場合には、プラズマ CVD 法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力 20 ~ 200 Pa、基板温度 300 ~ 400 °C とし、高周波 (60 MHz) 電力密度 0.1 ~ 1.0 W/cm² で形成することができる。また、 SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマ CVD 法で SiH_4 、 NH_3 から作製することが可能である。

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行うこともできるが、レーザー光を用いた熱処理方法で活性化させても良い。この場合の熱処理条件は前述のものと同様なものとする。一方、熱アニール法で行う場合には酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で 400 ~ 700 °C、代表的には 500 ~ 600 °C で行うものであり、本実施例では 550 °C で 4 時間の熱処理を行った。また、基板 101 に耐熱温度が低いプラスチック基板を用いる場合には、本発明のレーザー光を用いた熱処理方法を適用することが好ましい (図 6 B)。

熱処理を行った後、さらに、3 ~ 100 % の水素を含む雰囲気中で、

300～450℃で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行った。この工程は熱的に励起された水素により島状半導体膜にある $10^{16} \sim 10^{18}/\text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

本発明のレーザー光を用いた熱処理方法とプラズマ水素化処理を組み合わせて行う場合には図3で示す構成の装置で行うことができる。具体的には、処理室818でレーザー光を用いた熱処理を行い、その後搬送手段820により基板を処理室816に移動してプラズマ水素化の処理を行う。処理室816には水素ガスまたはアンモニアガス等を導入するようにしておけばプラズマ水素化を容易に行うことができる。このように、基板を装置内に保持し、大気に晒すことなく連続処理することで基板表面の汚染を防止でき、また、スループットを向上させることができる。

そして、有機絶縁物材料からなる層間絶縁膜147を1.0～2.0 μm の平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオーブンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオーブンで250℃で60分焼成して形成することができる。

このように、層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、保護絶縁膜146として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリ

コン膜などと組み合わせて用いる必要がある。

その後、フォトマスク 5 (PM5) を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として保護絶縁膜 146 をエッチングする。さらに、島状半導体膜との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、フォトマスク 6 (PM6) によりレジストマスクパターンを形成し、エッチングによってソース配線 148 ~ 152 とドレイン配線 153 ~ 157 を形成する。ここで、ドレイン配線 157 は画素電極として機能するものである。図示していないが、本実施例ではこの電極を、 Ti 膜を 50 ~ 150 nm の厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その Ti 膜上に重ねてアルミニウム (Al) を 300 ~ 400 nm の厚さで形成して配線とする。

この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られる。例えば、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 °C で 1 ~ 12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。また、このような熱処理により保護絶縁膜 146 や、下地膜 102 に存在する水素を島状半導体膜 104 ~ 108 に拡散させ水素化をすることもできる。いずれにしても、島状半導体膜 104 ~ 108 中の欠陥密度を $10^{16}/\text{cm}^2$ 以下とすることが望ましく、そのために水素を 0.01 ~ 0.1 atomic % 程度付与すれば良い (図 6C)。

こうして7枚のフォトマスクにより、同一の基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT200、第1のnチャネル型TFT201、第2のpチャネル型TFT202、第2のnチャネル型TFT203、画素部には画素TFT204、保持容量205が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

駆動回路の第1のpチャネル型TFT200には、島状半導体膜104にチャネル形成領域206、高濃度p型不純物領域から成るソース領域207a、207b、ドレイン領域208a、208bを有したシングルドレインの構造を有している。第1のnチャネル型TFT201には、島状半導体膜105にチャネル形成領域209、ゲート電極119と重なるLDD領域210、ソース領域212、ドレイン領域211を有している。このLDD領域において、ゲート電極119と重なるLDD領域をLovとするとそのチャネル長方向の長さは0.5~3.0 μ m、好ましくは1.0~2.0 μ mとした。nチャネル型TFTにおけるLDD領域の長さをこのようにすることにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。駆動回路の第2のpチャネル型TFT202は同様に、島状半導体膜106にチャネル形成領域213、高濃度p型不純物領域から成るソース領域214a、214b、ドレイン領域215a、215bを有したシングルドレインの構造を有している。第2のnチャネル型TFT203には、島状半導体膜107にチャネル形成領域216、ゲート電極121と一部が重なるLDD領域217、218、ソース領域220、ドレイン領域219が形成されている。このTFTのゲート電極と重なるLovの長さも0.5~3.0 μ m、好ましくは1.0~2.0 μ mとした。また、ゲート電極と重ならないLDD領域をLoffとして、このチャネル長方向の長さは0.5~4.0 μ m、好ましくは1.0~2.0 μ

mとした。画素TFT204には、島状半導体膜108にチャネル形成領域221、222、LDD領域223～225、ソースまたはドレイン領域226～228を有している。LDD領域(Loff)のチャネル長方向の長さは0.5～4.0 μ m、好ましくは1.5～2.5 μ mである。さらに、容量配線123と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT204のドレイン領域228に接続する半導体膜229とから保持容量205が形成されている。図6Cでは画素TFT204をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

図16は画素部のほぼ一画素分を示す上面図である。図中に示すA-A'断面が図6Cに示す画素部の断面図に対応している。画素TFT204のゲート電極122は、図示されていないゲート絶縁膜を介してその下の島状半導体膜108と交差している。また、ゲート電極122はAlやCuなどの材料を用いて形成される低抵抗導電性材料から成るゲート配線900と島状半導体膜108の外側でコンタクトホールを介さず接触している。図示はしていないが、島状半導体膜108には、ソース領域、ドレイン領域、LDD領域が形成されている。また、256はソース配線152とソース領域226とのコンタクト部、257はドレイン配線157とドレイン領域228とのコンタクト部である。保持容量205は、画素TFT204のドレイン領域228から延在する半導体膜229とゲート絶縁膜を介して容量配線123が重なる領域で形成されている。この構成において半導体膜229には価電子制御を目的とした不純物元素は添加されていない。

以上の様な構成は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を、耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。このようなTFT

Tを設けたアクティブマトリクス基板を作製するために、本発明のレーザー光を用いた熱処理方法及びレーザー装置を適用すると特性の良いTFTを作製することが可能で、また、生産性の向上を達成することができる。このようなアクティブマトリクス基板を用いて液晶表示装置やEL表示装置を作製することができる。

[実施例2]

実施例1ではTFTのゲート電極の材料にWやTaなどの耐熱性導電性材料を用いる例を示した。このような材料を用いる理由は、ゲート電極形成後に価電子制御を目的として半導体膜に添加した不純物元素を主として、400～700℃の熱アニールによって活性化させること、エレクトロマイグレーションの防止、耐腐蝕性の向上など複数の要因に起因している。しかしながら、このような耐熱性導電性材料は面積抵抗で10Ω程度あり、画面サイズが4インチクラスかそれ以上の液晶表示装置やEL表示装置には適していない。ゲート電極に接続するゲート配線を同じ材料で形成すると、基板面上における引回し長さが必然的に大きくなり、配線抵抗の影響による遅延時間を無視することができなくなるためである。

例えば、画素密度がVGAの場合、480本のゲート配線と640本のソース配線が形成され、XGAの場合には768本のゲート配線と1024本のソース配線が形成される。表示領域の画面サイズは、13インチクラスの場合対角線の長さは340mmとなり、18インチクラスの場合には460mmとなる。本実施例ではこのような液晶表示装置を実現する手段として、ゲート配線をAlや銅(Cu)などの低抵抗導電性材料で形成する方法について図7を用いて説明する。

まず、実施例1と同様にして図4A～図5Dに示す工程を行う。そして、価電子制御を目的としてそれぞれの島状半導体膜に添加された不純物元素を活性化処理を行う。この活性化の処理はレーザー光を用いた熱処理方法を用いることが最も好ましい。さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱

処理を行い、島状半導体膜を水素化する処理を行う。この工程は熱的に励起された水素により半導体膜のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い（図7A）。

活性化および水素化の処理が終了したら、ゲート配線を低抵抗導電性材料で形成する。この低抵抗導電性層はAlやCuを主成分とする導電層（D）で形成する。例えば、Tiを0.1～2重量%含むAl膜を導電層（D）として全面に形成する（図示せず）。導電層（D）145は200～400nm（好ましくは250～350nm）とすれば良い。そして、フォトリソを用いて所定のレジストパターンを形成し、エッチング処理して、ゲート配線163、164と容量配線165を形成する。エッチング処理はリン酸系のエッチング溶液によるウェットエッチングで導電層（D）を除去することにより、下地との選択加工性を保ってゲート配線を形成することができる。そして保護絶縁膜146を形成する（図7B）。

その後、実施例1と同様にして有機絶縁物材料から成る層間絶縁膜147、ソース配線148～151、167、ドレイン配線153～156、168を形成してアクティブマトリクス基板を完成させることができる。図8A、図8Bはこの状態の上面図を示し、図8AのB-B'断面および図8BのC-C'断面は図7CのA-A'およびC-C'に対応している。図8A、図8Bではゲート絶縁膜、保護絶縁膜、層間絶縁膜を省略して示しているが、島状半導体膜104、105、108の図示されていないソースおよびドレイン領域にソース配線148、149、167とドレイン配線153、154、168がコンタクトホールを介して接続している。また、図8AのD-D'断面および図8BのE-E'断面を図9Aと図9Bにそれぞれ示す。ゲート配線163はゲート電極118、119と、またゲート配線164はゲート電極122と島状半導体膜104、105、108の外側で重なるように形成され、導電層（C）と導電層（D）が接触して電氣的

に導通している。このようにゲート配線低抵抗導電性材料で形成することにより、配線抵抗を十分低減できる。従って、画素部（画面サイズ）が４インチクラス以上の液晶表示装置やＥＬ表示装置に適用することができる。

〔実施例３〕

実施例１で作製したアクティブマトリクス基板はそのまま反射型の液晶表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法について図１０を用いて説明する。

アクティブマトリクス基板は実施例１と同様に作製する。図１１Ａでは、ソース配線とドレイン配線は導電性の金属膜をスパッタ法や真空蒸着法で形成する。これは、Ｔｉ膜を５０～１５０ｎｍの厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのＴｉ膜上に重ねてアルミニウム（Ａｌ）を３００～４００ｎｍの厚さで形成し、さらにＴｉ膜または窒化チタン（ＴｉＮ）膜を１００～２００ｎｍの厚さで形成して３層構造とした。その後、透明導電膜を全面に形成し、フォトリソを用いたパターニング処理およびエッチング処理により画素電極１７１を形成する。画素電極１７１は、層間絶縁膜１４７上に形成され、画素ＴＦＴ２０４のドレイン配線１６９と重なる部分を設け、接続構造を形成している。

図１１Ｂでは最初に層間絶縁膜１４７上に透明導電膜を形成し、パターニング処理およびエッチング処理をして画素電極１７１を形成した後、ドレイン配線１６９を画素電極１７１と重なる部分を設けて形成した例である。ドレイン配線１６９はＴｉ膜を５０～１５０ｎｍの厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのＴｉ膜上に重ねてアルミニウム（Ａｌ）を３００～４００ｎｍの厚さで形成して設ける。この構成にすると、画素電極１７１はドレイン配線１６９を形成するＴｉ膜のみと

接触することになる。その結果、透明導電膜材料とAlとが反応するのを防止できる。

透明導電膜の材料は、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3\text{—SnO}_2$; ITO) などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3\text{—ZnO}$) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、ドレイン配線169の端面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛 (ZnO) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 (ZnO:Ga) などを用いることができる。

このようにして、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。本実施例では、実施例1と同様な工程として説明したが、このような構成は実施例2で示すアクティブマトリクス基板に適用することができる。

[実施例4]

本実施例では実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず、図12Aに示すように、図6Cの状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数 μm の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用する。このようなスペーサの材料に限定はないが、例えば、JSR社製のNN700を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで150～200℃で加熱して硬化させる。このようにして作製されるスペーサは露光と

現像処理の条件によって形状を異ならせることができるが、好ましくは、柱状スペーサ 173 の形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状など特別の限定はないが、例えば円錐状としたときに具体的には、その高さを $1.2 \sim 5 \mu\text{m}$ とし、平均半径を $5 \sim 7 \mu\text{m}$ 、平均半径と底部の半径との比を 1 対 1.5 程度とする。このとき断面から見たテーパ角は $\pm 15^\circ$ 以下とすると良い。

柱状スペーサの配置は任意に決定すれば良いが、好ましくは、図 12A で示すように、画素部においてはドレイン配線 161 (画素電極) のコンタクト部 235 と重ねてその部分を覆うように柱状スペーサ 168 を形成すると良い。コンタクト部 235 は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部 235 にスペーサ用の樹脂を充填する形で柱状スペーサ 168 を形成することでディスクリネーションなどを防止することができる。

その後、配向膜 174 を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用る。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ 173 の端部からラビング方向に対してラビングされない領域が $2 \mu\text{m}$ 以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路の TFT 上にもスペーサ 172 を形成しておく、スペーサとしての本来の役割と、静電気から TFT を保護する効果を得ることができる。

対向側の対向基板 175 には、遮光膜 176、透明導電膜 177 および配向膜 178 を形成する。遮光膜 176 は Ti、Cr、Al などを $150 \sim 300 \text{ nm}$ の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤 179 で貼り合わせる。シール剤 179 にはフィラー 180 が混入されてい

て、このフィラー 180 とスペーサ 172、173 によって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 606 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図 12B に示すアクティブマトリクス型の液晶表示装置が完成する。

図 12 ではスペーサ 172 を駆動回路の TFT 上の全面に形成する例を示したが、図 13 に示すようにこのスペーサを複数個に分割してスペーサ 172a ～ 172e として形成しても良い。駆動回路が形成されている部分に設けるスペーサは、このように少なくとも駆動回路のソース配線およびドレイン配線を覆うように形成すれば良い。このような構成とすることによって、駆動回路の各 TFT は、保護絶縁膜 146 と層間絶縁膜 147 とスペーサ 172 またはスペーサ 172a ～ 172e によって完全に覆われ保護されることになる。

図 14 はスペーサとシール剤を形成したアクティブマトリクス基板の上面図を示し、画素部および駆動回路部とスペーサおよびシール剤の位置関係を示す上面図である。画素部 188 の周辺に駆動回路として走査信号側駆動回路 185 と画像信号側駆動回路 186 が設けられている。さらに、その他 CPU やメモリなどの信号処理回路 187 も付加されていても良い。そして、これらの駆動回路は接続配線 183 によって外部入出力端子 182 と接続されている。画素部 188 では走査信号側駆動回路 185 から延在するゲート配線群 189 と画像信号駆動側回路 186 から延在するソース配線群 190 がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素 TFT 204 と保持容量 205 が設けられている。

画素部において設けられる柱状スペーサ 173 は、すべての画素に対して設けても良いが、マトリクス状に配列した画素の数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペーサの数の割合は 20 ～ 100 % とすると良い。また、駆動回路部に設けるスペーサ 172、172'、172'' はその全面を覆うよう

に設けても良いし、図 13 で示したように各 T F T のソースおよびドレイン配線の位置にあわせて複数個に分割して設けても良い。シール剤 179 は、基板 101 上の画素部 188 および走査信号側駆動回路 185、画像信号側駆動回路 186、その他の信号処理回路 187 の外側であって、外部入出力端子 182 よりも内側に形成する。

このようなアクティブマトリクス型液晶表示装置の構成を図 15 の斜視図を用いて説明する。図 15 においてアクティブマトリクス基板は、ガラス基板 101 上に形成された、画素部 188 と、走査信号側駆動回路 185 と、画像信号側駆動回路 186 とその他の信号処理回路 187 とで構成される。画素部 188 には画素 T F T 204 と保持容量 205 が設けられ、画素部の周辺に設けられる駆動回路は C M O S 回路を基本として構成されている。走査信号側駆動回路 185 と、画像信号側駆動回路 186 はそれぞれゲート配線 122 とソース配線 152 で画素 T F T 204 に接続している。また、フレキシブルプリント配線板 (Flexible Printed Circuit: F P C) 191 が外部入力端子 182 に接続していて画像信号などを入力するのに用いる。そして接続配線 183 でそれぞれの駆動回路に接続している。また、対向基板 175 には図示していないが、遮光膜や透明電極が設けられている。

このような構成の液晶表示装置は、実施例 1 ～ 3 で示すアクティブマトリクス基板を用いて形成することができる。実施例 1、及び実施例 2 で示すアクティブマトリクス基板を用いれば反射型の液晶表示装置が得られ、実施例 3 で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

[実施例 5]

本実施例では、実施例 1 ののアクティブマトリクス基板を用いてエレクトロルミネッセンス (E L : Electro Luminescence) 材料を用いた自発光型の表示パネル (以下、E L 表示装置と記す) を作製する例について説明する。尚、ルミネッセンスには蛍光と燐光による発光が

含まれるが、本明細書においていうエレクトロルミネッセンスには、そのどちらか一方、又はその両者による発光を含んでいる。図 17 A は本発明を用いた EL 表示パネルの上面図である。図 17 A において、10 は基板、11 は画素部、12 はソース側駆動回路、13 はゲート側駆動回路であり、それぞれの駆動回路は配線 14 ~ 16 を経て FPC 17 に至り、外部機器へと接続される。

図 17 B は図 17 A の A-A' 断面を表す図であり、このとき少なくとも画素部上、好ましくは駆動回路及び画素部上に対向板 80 を設ける。対向板 80 はシール材 19 で TFT と EL 材料を用いた発光層が形成されているアクティブマトリクス基板と貼り合わされている。シール剤 19 にはフィラー（図示せず）が混入されていて、このフィラーによりほぼ均一な間隔を持って 2 枚の基板が貼り合わせられている。さらに、シール材 19 の外側と FPC 17 の上面及び周辺は封止剤 81 で密封する構造とする。封止剤 81 はシリコーン樹脂、エポキシ樹脂、フェノール樹脂、ブチルゴムなどの材料を用いる。

このように、シール剤 19 によりアクティブマトリクス基板 10 と対向基板 80 とが貼り合わされると、その間には空間が形成される。その空間には充填剤 83 が充填される。この充填剤 83 は対向板 80 を接着する効果も合わせ持つ。充填剤 83 は PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）などを用いることができる。また、発光層は水分をはじめ湿気に弱く劣化しやすいので、この充填剤 83 の内部に酸化バリウムなどの乾燥剤を混入させておくことで吸湿効果を保持できるので望ましい。また、発光層上に窒化シリコン膜や酸化窒化シリコン膜などで形成するパッシベーション膜 82 を形成し、充填剤 83 に含まれるアルカリ元素などによる腐蝕を防ぐ構造としていある。

対向板 80 にはガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオ

ライド) フィルム、マイラーフィルム (デュポン社の商品名)、ポリエステルフィルム、アクリルフィルムまたはアクリル板などを用いることができる。また、数十 μm のアルミニウム箔をPVFフィルムやマイラーフィルムで挟んだ構造のシートを用い、耐湿性を高めることもできる。このようにして、EL素子は密閉された状態となり外気から遮断されている。

また、図17Bにおいて基板10、下地膜21の上に駆動回路用TFT (但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。) 22及び画素部用TFT 23 (但し、ここではEL素子への電流を制御するTFTだけ図示している。) が形成されている。これらのTFTの内特にnチャネル型TFTにははホットキャリア効果によるオン電流の低下や、 V_{th} シフトやバイアスストレスによる特性低下を防ぐため、本実施形態で示す構成のLDD領域が設けられている。

例えば、駆動回路用TFT 22とし、図6Cに示すpチャネル型TFT 200、202とnチャネル型TFT 201、203を用いれば良い。また、画素部用TFT 23には図6Bに示す画素TFT 204またはそれと同様な構造を有するpチャネル型TFTを用いれば良い。

図6Cまたは図7Cの状態のアクティブマトリクス基板からEL表示装置を作製するには、ソース配線、ドレイン配線上に樹脂材料でなる層間絶縁膜 (平坦化膜) 26を形成し、その上に画素部用TFT 23のドレインと電氣的に接続する透明導電膜でなる画素電極27を形成する。透明導電膜には酸化インジウムと酸化スズとの化合物 (ITOと呼ばれる) または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極27を形成したら、絶縁膜28を形成し、画素電極27上に開口部を形成する。

次に、発光層29を形成する。発光層29は公知のEL材料 (正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層) を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構

造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

発光層はシャドーマスクを用いて蒸着法、またはインクジェット法、ディスペンサー法などで形成する。いずれにしても、画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

発光層29を形成したら、その上に陰極30を形成する。陰極30と発光層29の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で発光層29と陰極30を連続して形成するか、発光層29を不活性雰囲気中で形成し、大気解放しないで真空中で陰極30を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

なお、本実施例では陰極30として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的には発光層29上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極30は31で示される領域において配線16に接続される。配線16は陰極30に所定の電圧を与えるための電源供給線であり、異方性導電性ペースト材料32を介してFPC17に接続される。FPC17上にはさらに樹脂層80が形成され、この部分の接着強度を高めている。

31に示された領域において陰極30と配線16とを電氣的に接続

するために、層間絶縁膜 26 及び絶縁膜 28 にコンタクトホールを形成する必要がある。これらは層間絶縁膜 26 のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜 28 のエッチング時（発光層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜 28 をエッチングする際に、層間絶縁膜 26 まで一括でエッチングしても良い。この場合、層間絶縁膜 26 と絶縁膜 28 が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

また、配線 16 はシーリル 19 と基板 10 との間を隙間（但し封止剤 81 で塞がれている。）を通過して FPC 17 に電氣的に接続される。なお、ここでは配線 16 について説明したが、他の配線 14、15 も同様にしてシーリング材 18 の下を通過して FPC 17 に電氣的に接続される。

ここで画素部のさらに詳細な断面構造を図 18 に、上面構造を図 19A に、回路図を図 19B に示す。図 18A において、基板 2401 上に設けられたスイッチング用 TFT 2402 は実施例 1 の図 6C の画素 TFT 204 と同じ構造で形成される。ダブルゲート構造とすることで実質的に二つの TFT が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているがトリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも良い。

また、電流制御用 TFT 2403 は図 6C で示す n チャネル型 TFT 201 を用いて形成する。このとき、スイッチング用 TFT 2402 のドレイン線 35 は配線 36 によって電流制御用 TFT のゲート電極 37 に電氣的に接続されている。また、38 で示される配線は、スイッチング用 TFT 2402 のゲート電極 39a、39b を電氣的に接続するゲート線である。

このとき、電流制御用 TFT 2403 が本発明の構造であることは非常に重要な意味を持つ。電流制御用 TFT は EL 素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣

化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTにゲート電極と一部が重なるLDD領域を設けることでTFTの劣化を防ぎ、動作の安定性を高めることができる。

また、本実施例では電流制御用TFT 2403をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

また、図19Aに示すように、電流制御用TFT 2403のゲート電極37となる配線は2404で示される領域で、電流制御用TFT 2403のドレイン線40と絶縁膜を介して重なる。このとき、2404で示される領域ではコンデンサが形成される。このコンデンサ2404は電流制御用TFT 2403のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン線40は電流供給線（電源線）2501に接続され、常に一定の電圧が加えられている。

スイッチング用TFT 2402及び電流制御用TFT 2403の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜となる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

また、43は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TFT 2403のドレインに電氣的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成され

た溝（画素に相当する）の中に発光層 44 が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機 EL 材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。尚、PPV 系有機 EL 材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平 10-92576 号公報に記載されたような材料を用いれば良い。

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 30 ~ 150 nm（好ましくは 40 ~ 100 nm）とすれば良い。但し、以上の例は発光層として用いることのできる有機 EL 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせる発光層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機 EL 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 EL 材料や無機材料は公知の材料を用いることができる。

本実施例では発光層 45 の上に PEDOT（ポリチオフェン）または PANi（ポリアニリン）でなる正孔注入層 46 を設けた積層構造の発光層としている。そして、正孔注入層 46 の上には透明導電膜でなる陽極 47 が設けられる。本実施例の場合、発光層 45 で生成された光は上面側に向かって（TFT の上方に向かって）放射されるため、

陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

陽極 47 まで形成された時点で自発光素子 2405 が完成する。なお、ここでいう EL 素子 2405 は、画素電極（陰極）43、発光層 45、正孔注入層 46 及び陽極 47 で形成されたコンデンサを指す。図 19A に示すように画素電極 43 は画素の面積にほぼ一致するため、画素全体が EL 素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

ところで、本実施例では、陽極 47 の上にさらに第 2 パッシベーション膜 48 を設けている。第 2 パッシベーション膜 48 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と EL 素子とを遮断することであり、有機 EL 材料の酸化による劣化を防ぐ意味と、有機 EL 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより EL 表示装置の信頼性が高められる。

以上のように本願発明の EL 表示パネルは図 19 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 TFT と、ホットキャリア注入に強い電流制御用 TFT とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な EL 表示パネルが得られる。

図 18B は発光層の構造を反転させた例を示す。電流制御用 TFT 2601 は図 6B の p チャネル型 TFT 200 を用いて形成される。作製プロセスは実施例 1 を参照すれば良い。本実施例では、画素電極（陽極）50 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

そして、絶縁膜でなるバンク 51a、51b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 52 が形成される。そ

の上にはカリウムアセチルアセトネート（a c a c Kと表記される）でなる電子注入層 5 3、アルミニウム合金でなる陰極 5 4 が形成される。この場合、陰極 5 4 がパッシベーション膜としても機能する。こうして E L 素子 2 6 0 2 が形成される。本実施例の場合、発光層 5 3 で発生した光は、矢印で示されるように T F T が形成された基板の方に向かって放射される。本実施例のような構造とする場合、電流制御用 T F T 2 6 0 1 は p チャネル型 T F T で形成することが好ましい。

尚、本実施例の構成は、実施例 1 ～ 2 の T F T の構成を自由に組み合わせる実施することが可能である。また、実施例 8 の電子機器の表示部として本実施例の E L 表示パネルを用いることは有効である。

[実施例 6]

本実施例では、図 1 9 B に示した回路図とは異なる構造の画素とした場合の例について図 2 0 に示す。なお、本実施例において、2 7 0 1 はスイッチング用 T F T 2 7 0 2 のソース配線、2 7 0 3 はスイッチング用 T F T 2 7 0 2 のゲート配線、2 7 0 4 は電流制御用 T F T、2 7 0 5 はコンデンサ、2 7 0 6、2 7 0 8 は電流供給線、2 7 0 7 は E L 素子とする。

図 2 0 A は、二つの画素間で電流供給線 2 7 0 6 を共通とした場合の例である。即ち、二つの画素が電流供給線 2 7 0 6 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

また、図 2 0 B は、電流供給線 2 7 0 8 をゲート配線 2 7 0 3 と平行に設けた場合の例である。尚、図 2 0 B では電流供給線 2 7 0 8 とゲート配線 2 7 0 3 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 2 7 0 8 とゲート配線 2 7 0 3 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

また、図 20 C は、図 20 B の構造と同様に電流供給線 2708 をゲート配線 2703 と平行に設け、さらに、二つの画素を電流供給線 2708 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 2708 をゲート配線 2703 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。図 20 A、図 20 B では電流制御用 T F T 2403 のゲートにかかる電圧を保持するためにコンデンサ 2404 を設ける構造としているが、コンデンサ 2404 を省略することも可能である。

電流制御用 T F T 2403 として図 18 A に示すような本願発明の n チャネル型 T F T を用いているため、ゲート絶縁膜を介してゲート電極と重なるように設けられた L D D 領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ 2404 の代わりとして積極的に用いる点に特徴がある。この寄生容量のキャパシタンスは上記ゲート電極と L D D 領域とが重なり合った面積で変化するため、その重なり合った領域に含まれる L D D 領域の長さによって決まる。また、図 20 A、図 20 B、図 20 C の構造においても同様にコンデンサ 2705 を省略することは可能である。

尚、本実施例の構成は、実施例 1 ~ 2 の T F T の構成を自由に組み合わせることで実施することが可能である。また、実施例 8 の電子機器の表示部として本実施例の E L 表示パネルを用いることは有効である。

[実施例 7]

本実施例では、本発明の T F T 回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について図 21、図 22、図 23 で説明する。

このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図 21 と図

２２に示す。

図２１Ａは携帯電話であり、本体９００１、音声出力部９００２、音声入力部９００３、表示装置９００４、操作スイッチ９００５、アンテナ９００６から構成されている。本願発明は音声出力部９００２、音声入力部９００３、及びアクティブマトリクス基板を備えた表示装置９００４に適用することができる。

図２１Ｂはビデオカメラであり、本体９１０１、表示装置９１０２、音声入力部９１０３、操作スイッチ９１０４、バッテリー９１０５、受像部９１０６から成っている。本願発明は及びアクティブマトリクス基板を備えた表示装置９１０２、受像部９１０６に適用することができる。

図２１Ｃはモバイルコンピュータ或いは携帯型情報端末であり、本体９２０１、カメラ部９２０２、受像部９２０３、操作スイッチ９２０４、表示装置９２０５で構成されている。本願発明は受像部９２０３、及びアクティブマトリクス基板を備えた表示装置９２０５に適用することができる。

図２１Ｄはヘッドマウントディスプレイであり、本体９３０１、表示装置９３０２、アーム部９３０３で構成される。本願発明は表示装置９３０２に適用することができる。また、表示されていないが、その他の駆動回路に使用することもできる。

図２１Ｅはテレビであり、本体９４０１、スピーカー９４０２、表示装置９４０３、受信装置９４０４、増幅装置９４０５等で構成される。実施例５で示す液晶表示装置や、実施例６または７で示すＥＬ表示装置は表示装置９４０３に適用することができる。

図２１Ｆは携帯書籍であり、本体９５０１、表示装置９５０２、９５０３、記憶媒体９５０４、操作スイッチ９５０５、アンテナ９５０６から構成されており、ミニディスク（ＭＤ）やＤＶＤに記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置９５０２、９５０３は直視型の表示装置であり、本発明はここに適

用することができる。

図 2 2 A はパーソナルコンピュータであり、本体 9 6 0 1、画像入力部 9 6 0 2、表示装置 9 6 0 3、キーボード 9 6 0 4 で構成される。

図 2 2 B はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 9 7 0 1、表示装置 9 7 0 2、スピーカ部 9 7 0 3、記録媒体 9 7 0 4、操作スイッチ 9 7 0 5 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

図 2 2 C はデジタルカメラであり、本体 9 8 0 1、表示装置 9 8 0 2、接眼部 9 8 0 3、操作スイッチ 9 8 0 4、受像部（図示しない）で構成される。

図 2 3 A はフロント型プロジェクターであり、表示装置 3 6 0 1、スクリーン 3 6 0 2 で構成される。本発明は表示装置やその他の駆動回路に適用することができる。

図 2 3 B はリア型プロジェクターであり、本体 3 7 0 1、投射装置 3 7 0 2、ミラー 3 7 0 3、スクリーン 3 7 0 4 で構成される。本発明は表示装置やその他の駆動回路に適用することができる。

なお、図 2 3 C は、図 2 3 A 及び図 2 3 B 中における投射装置 3 6 0 1、3 7 0 2 の構造の一例を示した図である。投射装置 3 6 0 1、3 7 0 2 は、光源光学系 3 8 0 1、ミラー 3 8 0 2、3 8 0 4 ~ 3 8 0 6、ダイクロイックミラー 3 8 0 3、プリズム 3 8 0 7、液晶表示装置 3 8 0 8、位相差板 3 8 0 9、投射光学系 3 8 1 0 で構成される。投射光学系 3 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 2 3 C 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。

また、図 2 3 D は、図 2 3 C 中における光源光学系 3 8 0 1 の構造

の一例を示した図である。本実施例では、光源光学系 3801 は、リフレクター 3811、光源 3812、レンズアレイ 3813、3814、偏光変換素子 3815、集光レンズ 3816 で構成される。なお、図 23D に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等の光学系を設けてもよい。

また、本発明はその他にも、イメージセンサや EL 型表示素子に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

[実施例 8]

本発明の有効性を確認するため、非金属元素 (B、Si、P、As、He、Ne、Ar、Kr、Xe から選ばれた 1 種または複数種) のうち、アルゴン (Ar) を用い、以下の実験を行った。

半導体膜は 50 nm の非晶質シリコン膜に 10 ppm の酢酸ニッケル含有水溶液を塗布した後、500℃にて 1 時間の脱水素処理と、550℃にて 4 時間の加熱処理により結晶化させた結晶質半導体膜を用いた。この結晶化半導体膜をパターニングした後、90 nm の酸化珪素膜を形成した。そして、ゲッタリングサイトにリンをイオンドープ法で注入した試料、リンを注入した後にアルゴンを注入した試料、アルゴンのみを注入した試料をそれぞれ作製し、これらを比較評価した。この時、リンの注入条件は、水素で希釈された 5% の PH_3 を用い、加速電圧 80 keV、ドーズ量 $1.5 \times 10^{15}/\text{cm}^2$ とした。注入に要する時間は約 8 分であり、結晶質半導体膜には平均濃度で $2 \times 10^{20}/\text{cm}^3$ のリンを注入することができる。一方、アルゴンは 90 keV の加速電圧で、 2×10^{15} または $4 \times 10^{15}/\text{cm}^2$ のドーズ量で注入した。アルゴンは 99.9999% 以上のものを用い、注入に要する時間は 1～2 分でよかった。

ゲッタリングは窒素雰囲気中、550℃にて 4 時間の加熱処理をもって行った。ゲッタリング後、酸化珪素膜を除去した後、FPM で処理した。ゲッタリングの効果は、結晶質半導体膜の被ゲッタリング領域におけるエッチピットの数により

確認した。即ち、添加したニッケルの大部分はニッケルシリサイドとして結晶質半導体膜に残存するが、これはFPM（フッ酸、過酸化水素水、純水の混合液）によりエッチングされることが知られている。従って、被ゲッタリング領域をFPMで処理してエッチピットの有無を確認することにより、ゲッタリングの効果を確認することができる。この場合、エッチピットの数が少ない程、ゲッタリングの効果が高いことを意味する。図25にエッチピットが形成された試料の簡略図を示す。なお、図25中、ドーブ領域10401とはアルゴンまたはリンが添加された領域を示している。ゲッタリングされた領域（被ゲッタリング領域）10402に存在するエッチピット10403の数を光学顕微鏡で見ながらカウントしてエッチピット密度を得た。

図24にその結果を示す。図24において、Pと示した試料は、リンのみを添加した試料であり、この試料のリンの注入条件は、水素で希釈された5%の PH_3 を用い、加速電圧80keV、ドーズ量 $1.5 \times 10^{15}/\text{cm}^2$ とした。また、図24において、P+Ar（1min）と示した試料は、リンとアルゴンとを添加した試料であり、この試料のリンの注入条件は、水素で希釈された5%の PH_3 を用い、加速電圧80keV、ドーズ量 $1.5 \times 10^{15}/\text{cm}^2$ とし、アルゴンの注入条件は、90keVの加速電圧で、 $2 \times 10^{15}/\text{cm}^2$ のドーズ量とし、アルゴンの注入に要する時間を1分とした。また、図24において、P+Ar（2min）と示した試料は、リンとアルゴンとを添加した試料であり、この試料のリンの注入条件は、水素で希釈された5%の PH_3 を用い、加速電圧80keV、ドーズ量 $1.5 \times 10^{15}/\text{cm}^2$ とし、アルゴンの注入条件は、90keVの加速電圧で、 $4 \times 10^{15}/\text{cm}^2$ のドーズ量とし、アルゴンの注入に要する時間を2分としたものである。また、図24において、Arと示した試料は、アルゴンのみを添加した試料であり、この試料のアルゴンの注入条件は、90keVの加速電圧で、 $2 \times 10^{15}/\text{cm}^2$ のドーズ量とした。

図24の実験結果より、リンのみを添加した試料が 3.5×10^{-3} 個/ μm^2 のエッチピット密度であるのに対し、アルゴンを添加してゲッタリングした試料はエッチピットの数 5×10^{-4} 個/ μm^2 以下であり、その数が極端に減少していることが解る。この結果は、アルゴンを注入することによりゲッタリングの効果

が極端に高められることを意味し、本発明の非金属元素（B、Si、P、As、He、Ne、Ar、Kr、Xeから選ばれた1種または複数種）を用いたゲッターリングが極めて有効であることを示している。

産業上利用の可能性

本発明により、珪素を主成分とする結晶質半導体薄膜に含まれる金属をゲッターリングする際の、ゲッターリングの効率および効果のうち少なくともひとつを改善する。

本明細書において、ゲッターリングの効率を改善するとは、素子活性領域に含まれる金属の量を軽減するための熱供給量（＝温度×時間）を少なくすることとする。

また、本明細書において、ゲッターリングの効果を改善するとは、熱供給量が同じであっても、素子活性領域の被ゲッターリング金属の残留量をより少なくすることとする。

請求の範囲

1. 珪素を主成分とする非晶質構造を有する半導体薄膜を形成する工程と、前記非晶質構造を有する半導体薄膜に金属を添加する工程と、前記非晶質構造を有する半導体薄膜を、第1の加熱処理により珪素を主成分とする結晶質半導体薄膜を形成する工程と、島状の絶縁膜を形成する工程と、前記島状の絶縁膜をマスクとして、非金属元素または該非金属元素のイオンを前記結晶質半導体薄膜に添加して、前記結晶質半導体薄膜に非金属元素または該非金属元素のイオンが添加された領域を形成する工程と、前記結晶質半導体薄膜に第2の加熱処理をして、前記非金属元素または該非金属元素のイオンが添加された領域に前記金属をゲッタリングする工程と、を有し、前記結晶質半導体薄膜の表面と平行な面に対する前記島状の絶縁膜の形状が頂点の数 n ($n > 20$) 個を有する多角形であって、かつ該頂点のうち内角が 180 度以上である頂点の数 m ($m > 8$) 個を有する多角形であることを特徴とする半導体装置の作製方法。
2. 請求項1において、前記金属はニッケル(Ni)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、銅(Cu)であることを特徴とする半導体装置の作製方法。
3. 請求項1において、前記第1の加熱処理は 400°C 以上 700°C 以下であることを特徴とする半導体装置の作製方法。
4. 請求項1において、前記非金属元素または非金属元素イオンはボロン(B)、珪素(Si)、リン(P)、ヒ素(As)、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)から選ばれた1種または複数種であることを特徴とする半導体装置の作製方法。
5. 請求項1において、前記第2の加熱処理は 400°C 以上 1000°C 以下であることを特徴とする半導体装置の作製方法。
6. 珪素を主成分とする非晶質構造を有する半導体薄膜を形成する工程と、前記非晶質構造を有する半導体薄膜に金属を添加する工程と

、前記非晶質構造を有する半導体薄膜を、第1の加熱処理により珪素を主成分とする結晶質半導体薄膜を形成する工程と、島状の絶縁膜を形成する工程と、前記島状の絶縁膜をマスクとして、非金属元素または該非金属元素のイオンを前記結晶質半導体薄膜に添加して、前記結晶質半導体薄膜に非金属元素または該非金属元素のイオンが添加された領域を形成する工程と、前記結晶質半導体薄膜に第2の加熱処理をして、前記非金属元素または該非金属元素のイオンが添加された領域に前記金属をゲッタリングする工程とを有することを特徴とする半導体装置の作製方法。

7. 請求項6において、前記金属はニッケル(Ni)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、銅(Cu)であることを特徴とする半導体装置の作製方法。

8. 請求項6において、前記非金属元素または非金属元素イオンはボロン(B)、珪素(Si)、磷(P)、ヒ素(As)、ヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)から選ばれた21種または複数種であることを特徴とする半導体装置の作製方法。

9. 請求項8において、前記アルゴンは前記結晶質半導体薄膜に90keVの加速電圧で、かつ $2 \times 10^{15} / \text{cm}^2$ のドーズ量で添加されることを特徴とする半導体装置の製作方法。

FIG. 1A

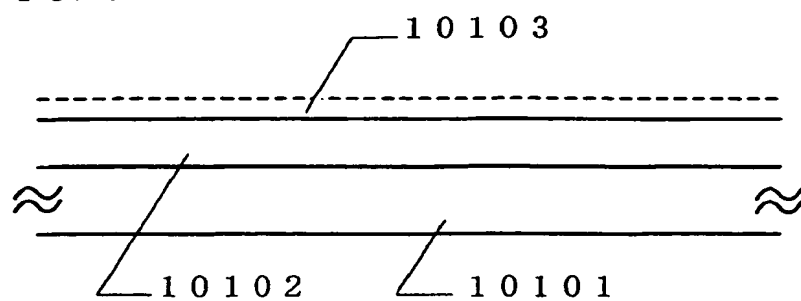


FIG. 1B

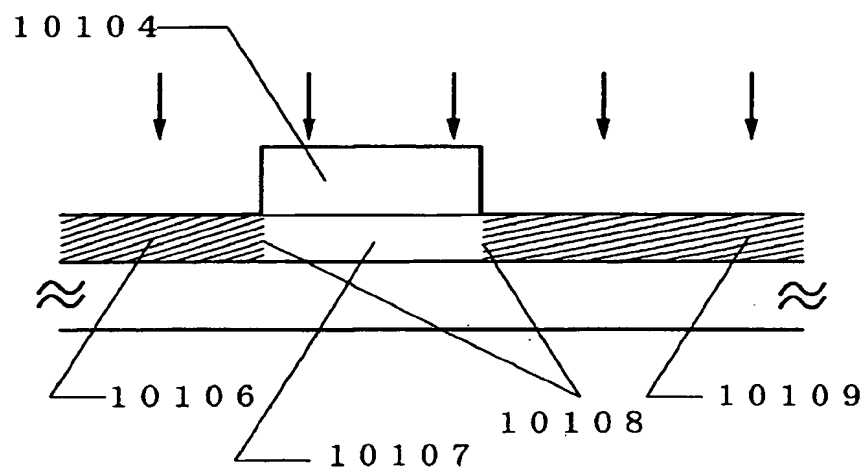


FIG. 1C

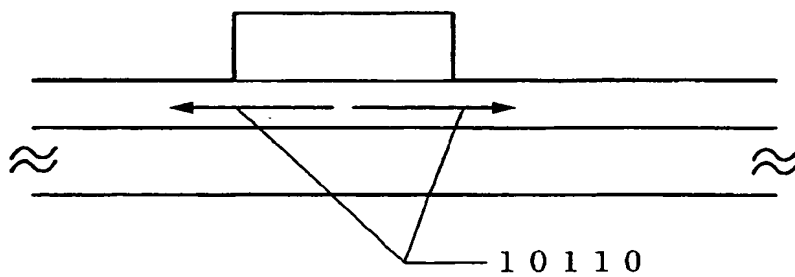


FIG. 2A

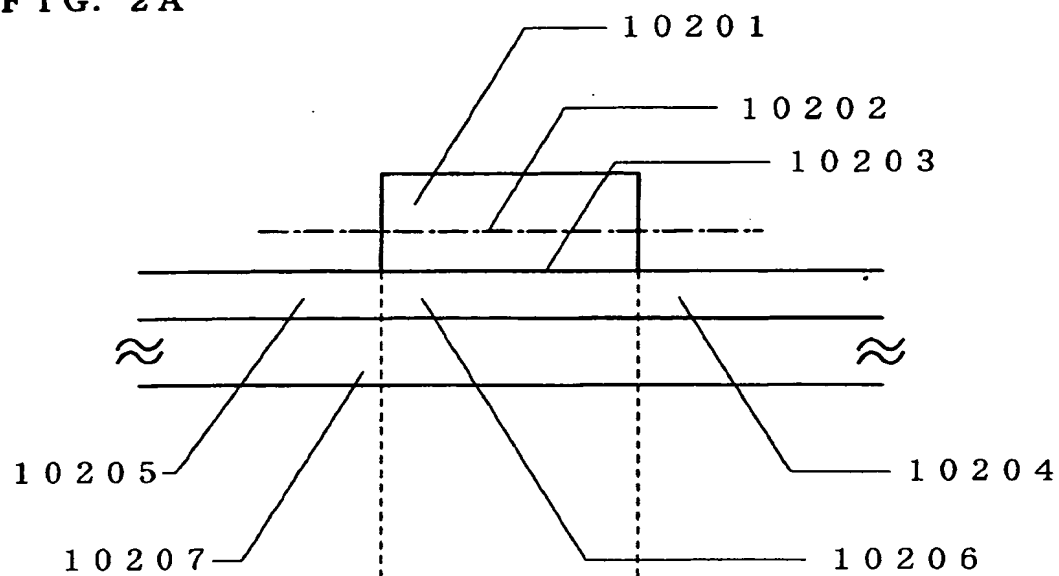


FIG. 2B

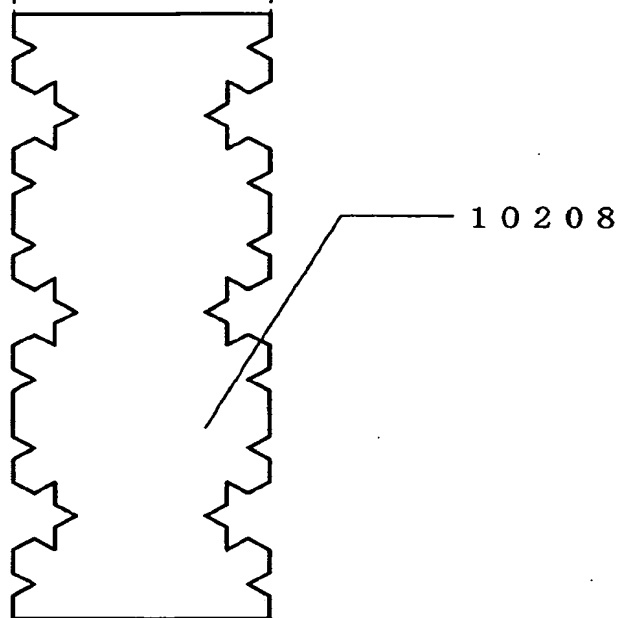


FIG. 3

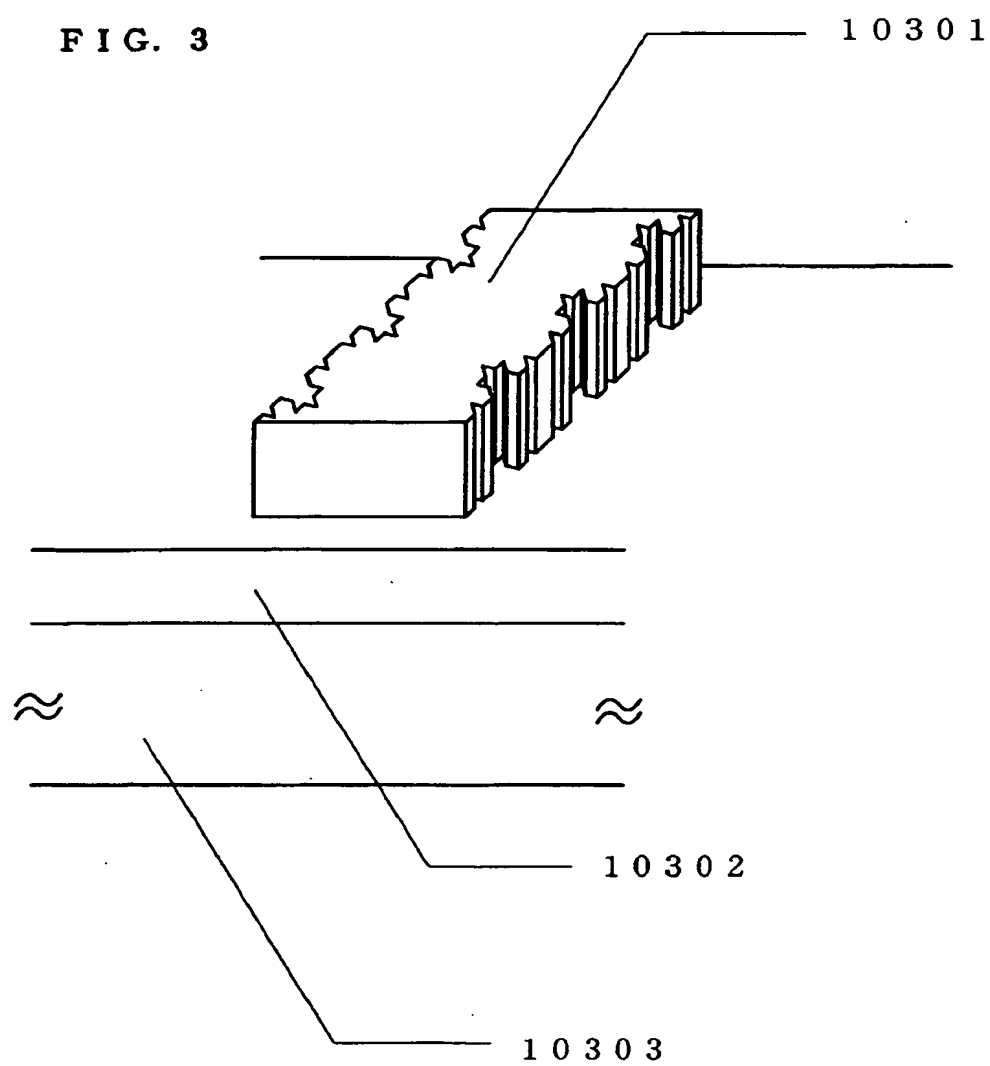


FIG. 4A

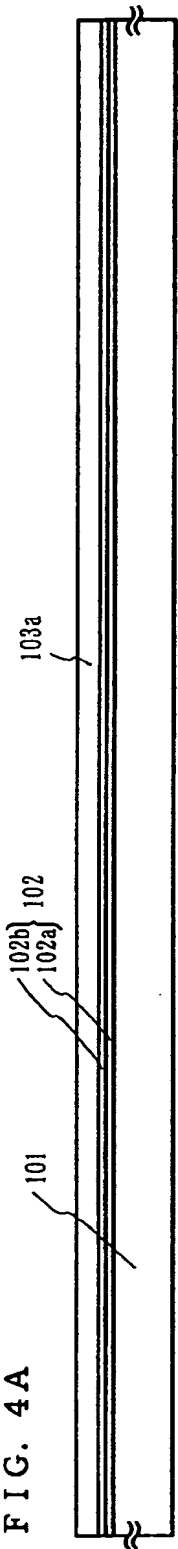


FIG. 4B

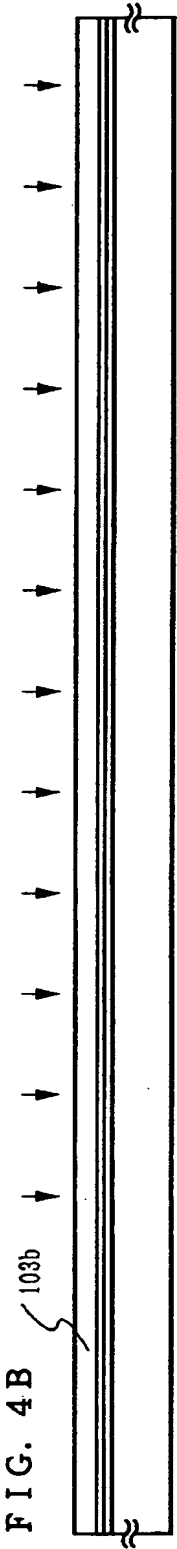


FIG. 4C

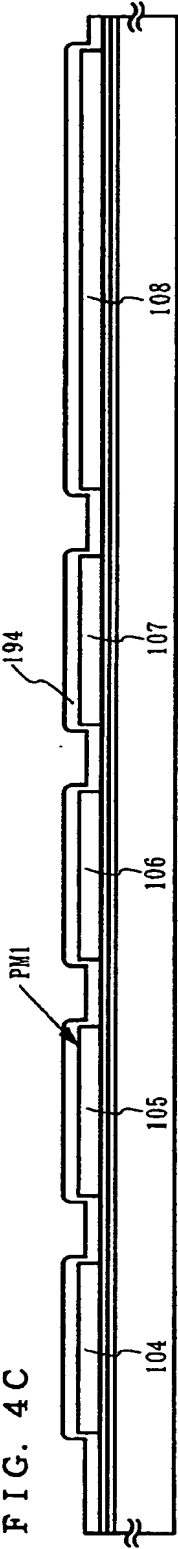


FIG. 4D

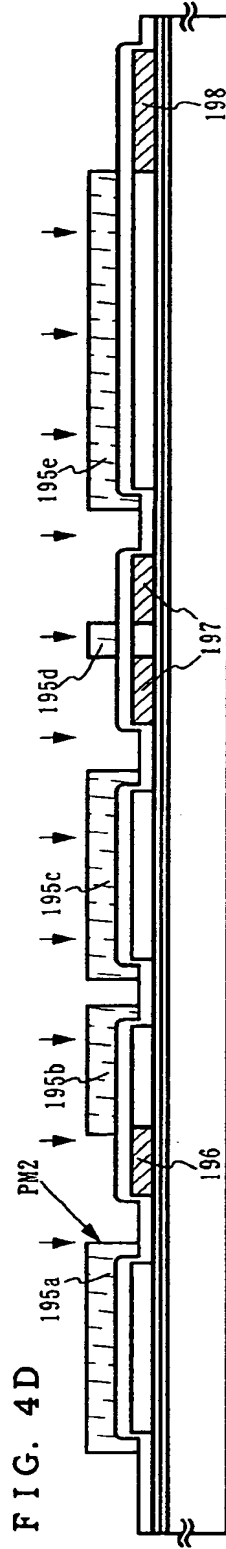


FIG. 4E

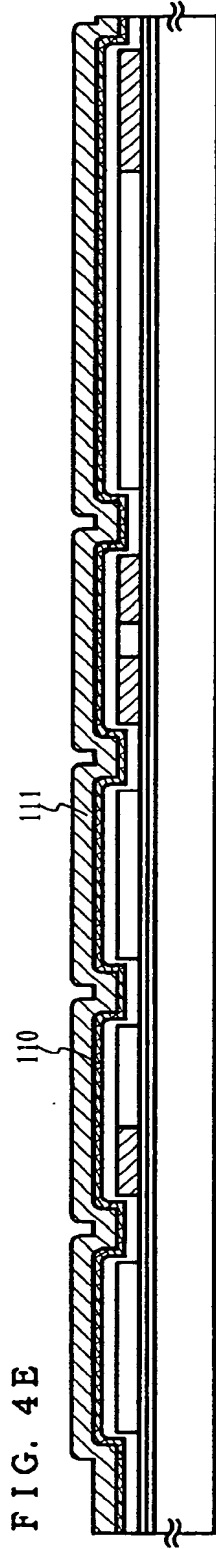


FIG. 5A

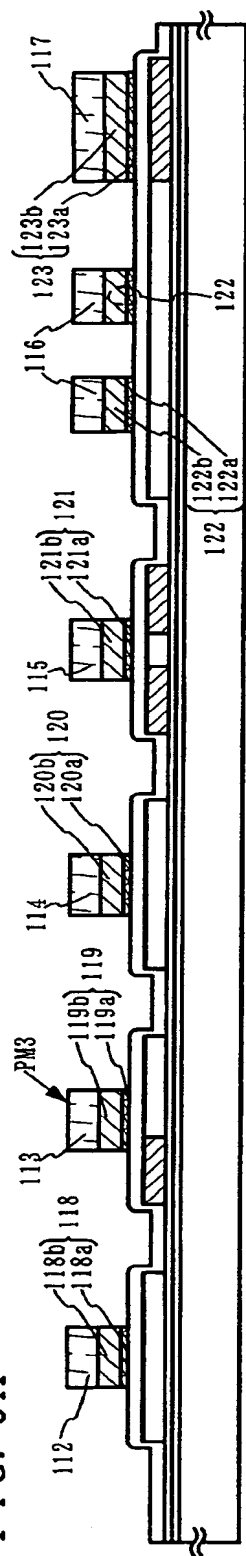


FIG. 5B

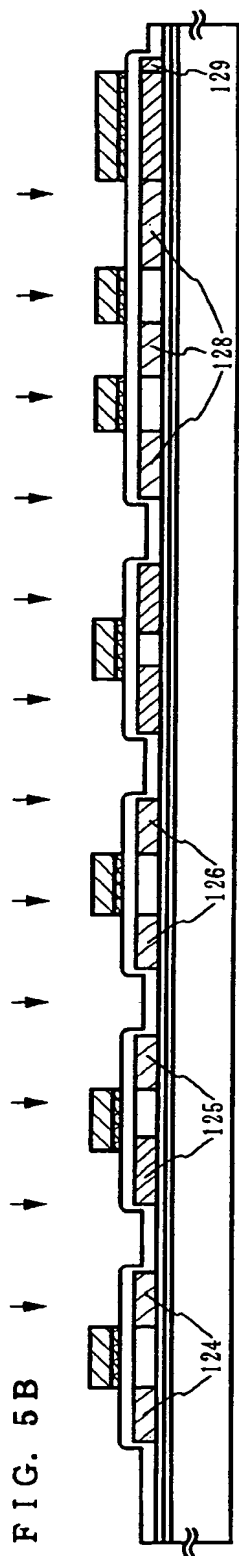


FIG. 5C

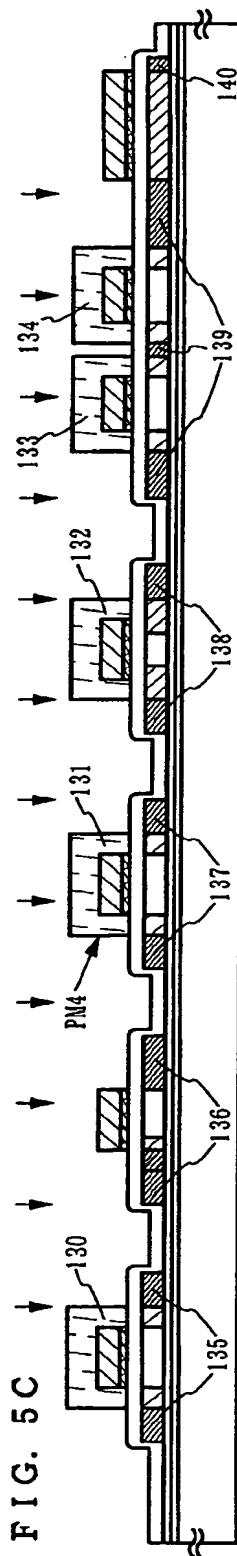


FIG. 5D

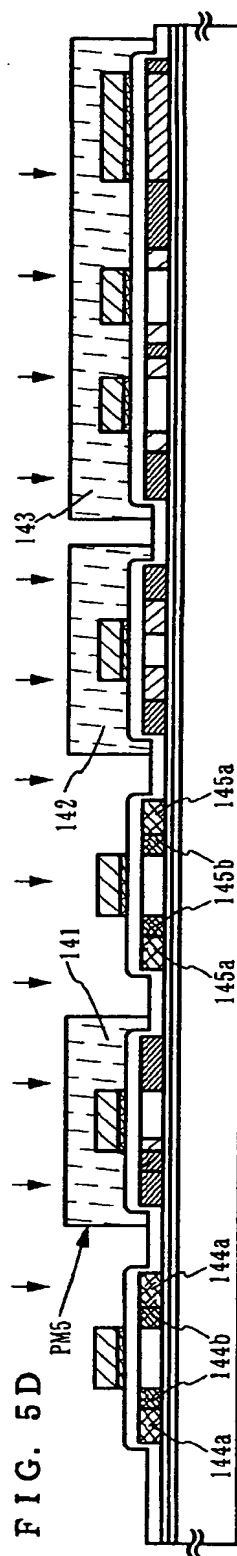


FIG. 6A

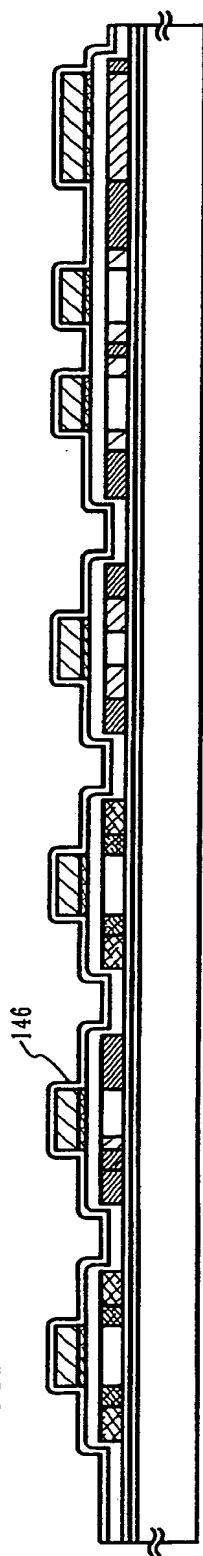


FIG. 6B

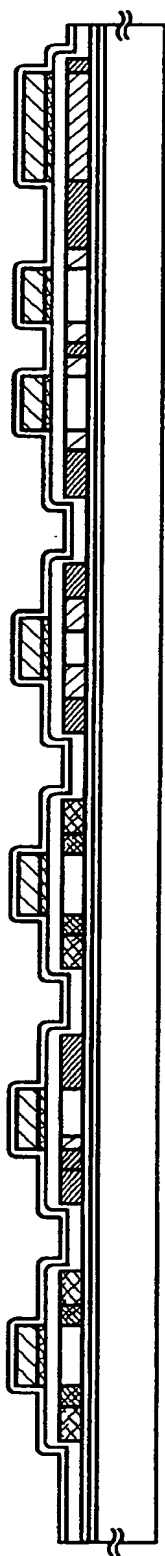


FIG. 6C

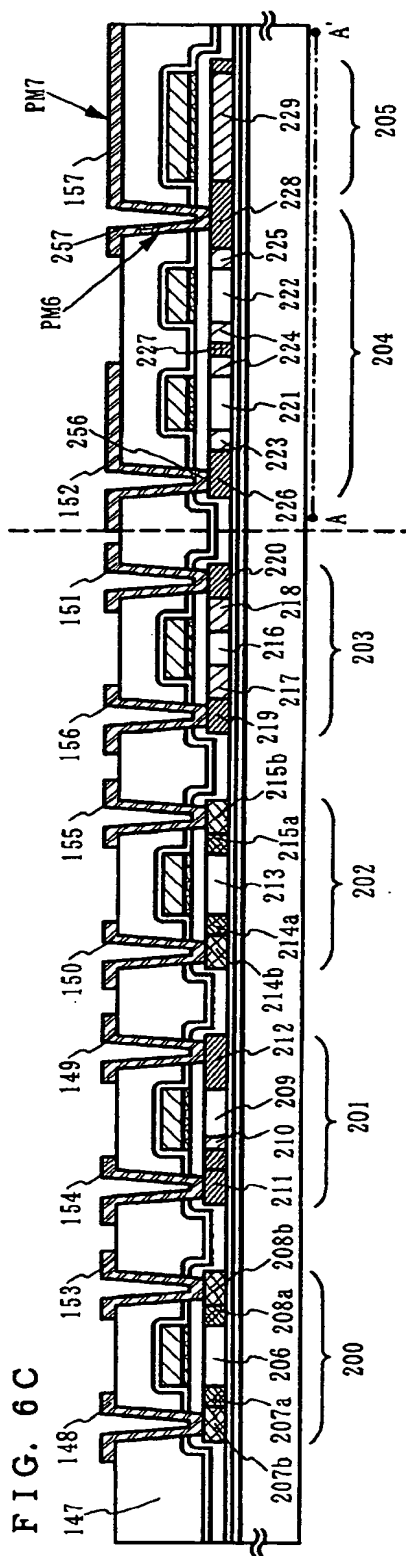


FIG. 7A

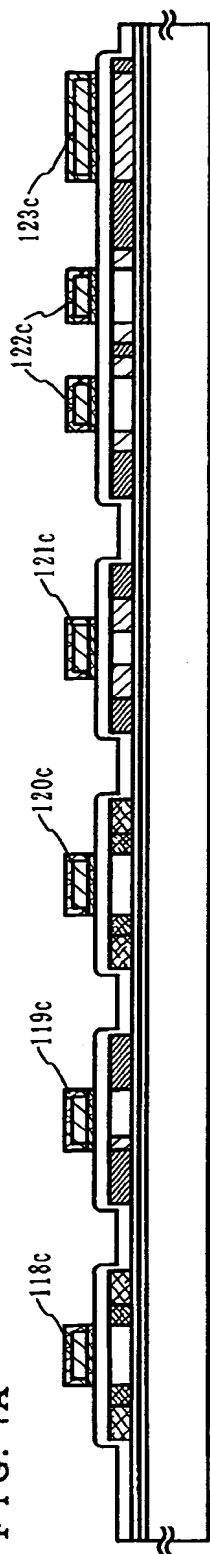


FIG. 7B

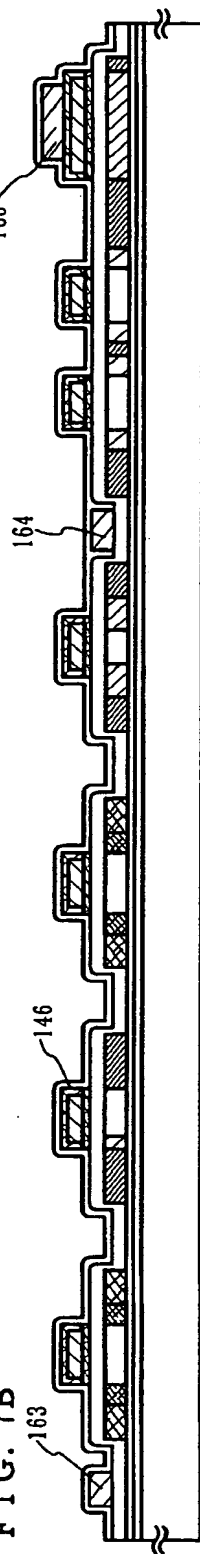


FIG. 7C

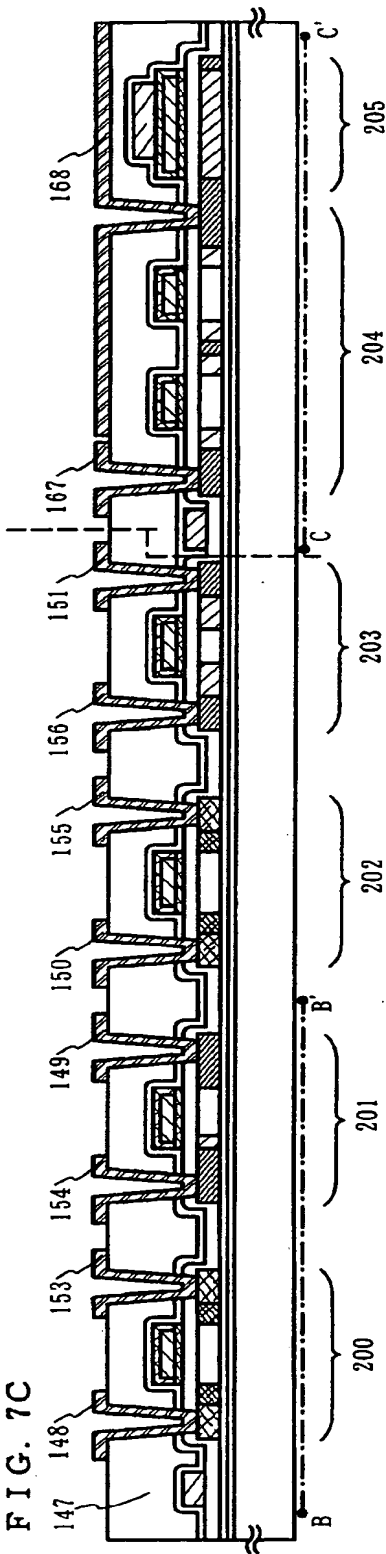


FIG. 8A

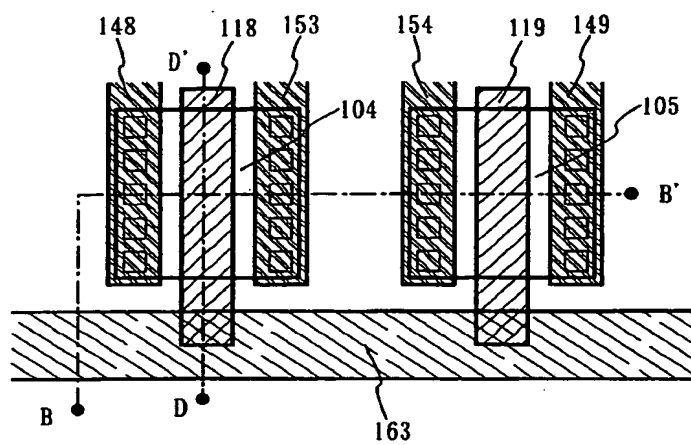


FIG. 8B

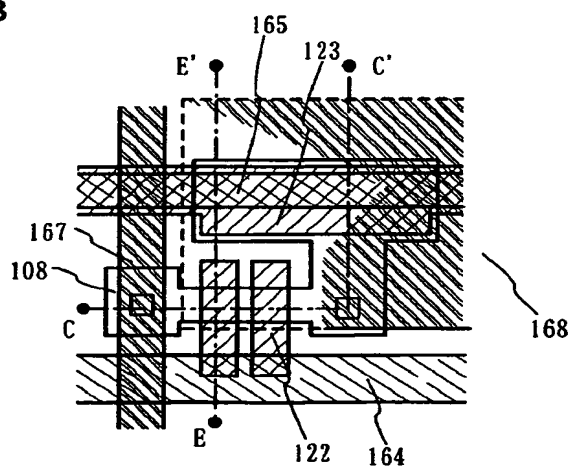


FIG. 9A

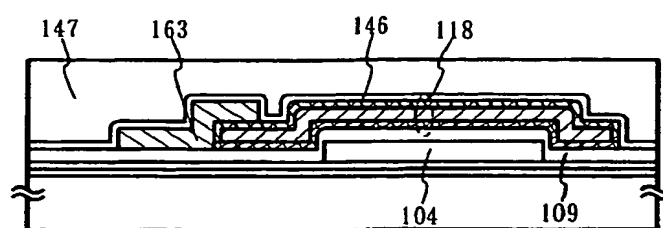


FIG. 9B

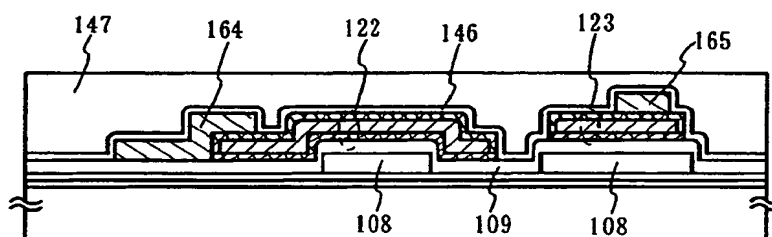


FIG. 10

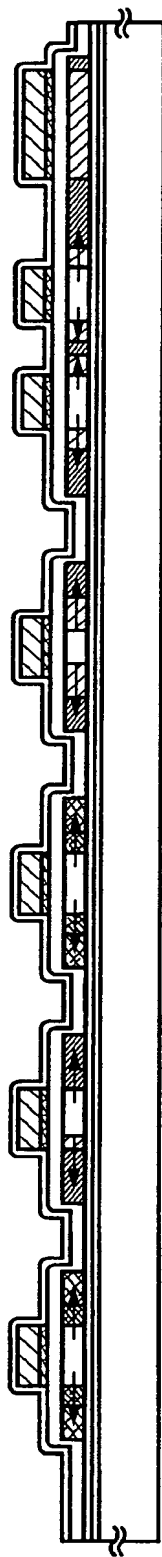


FIG. 11A

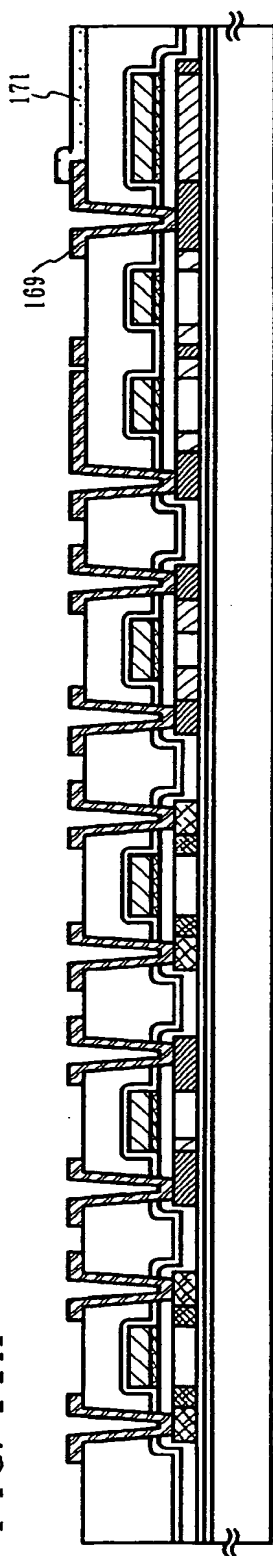


FIG. 11B

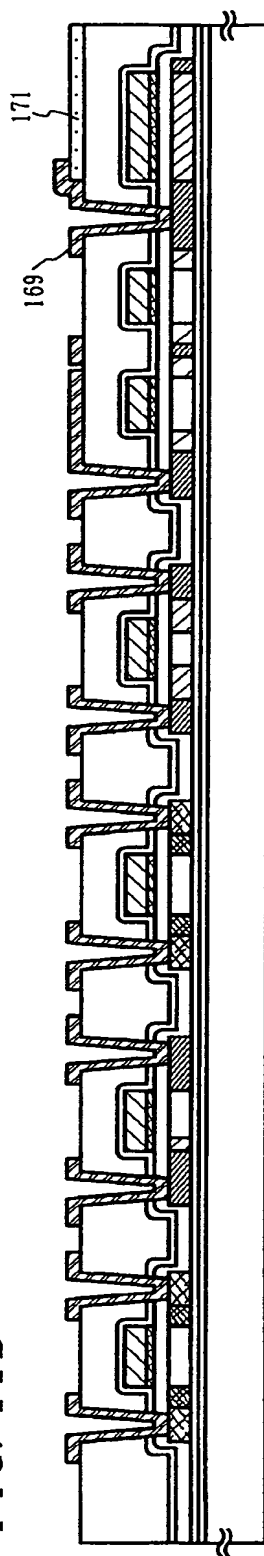


FIG. 12A

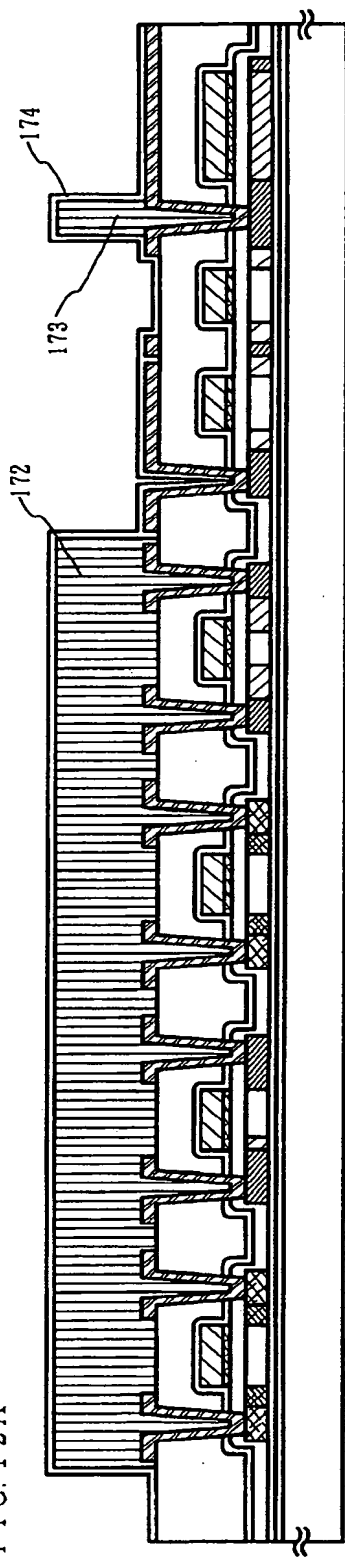


FIG. 12B

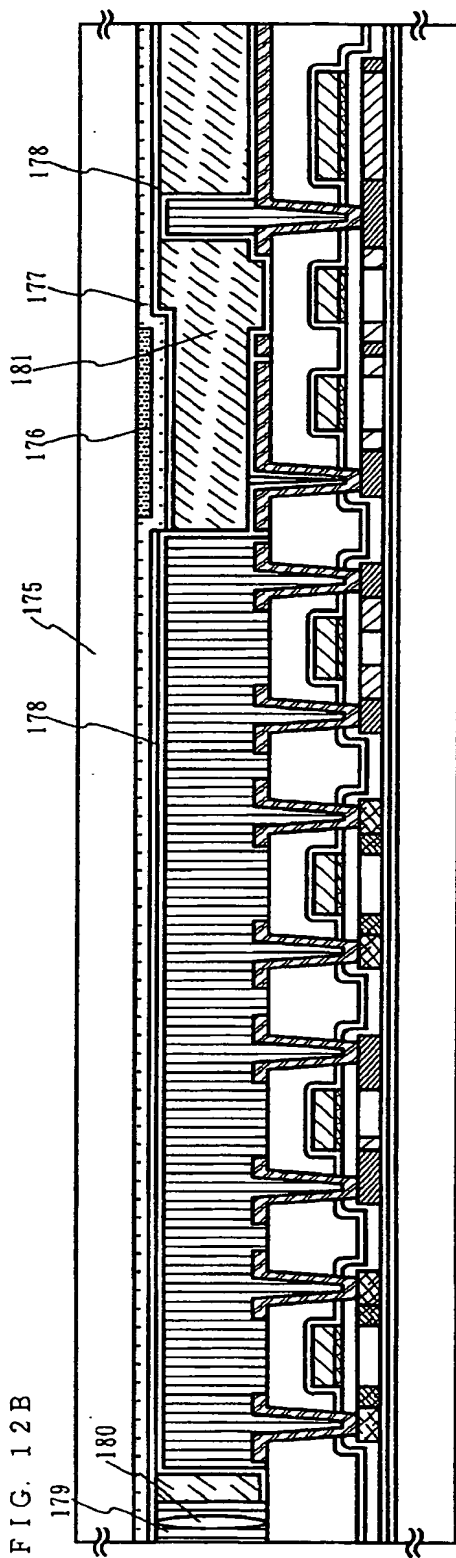


FIG. 13

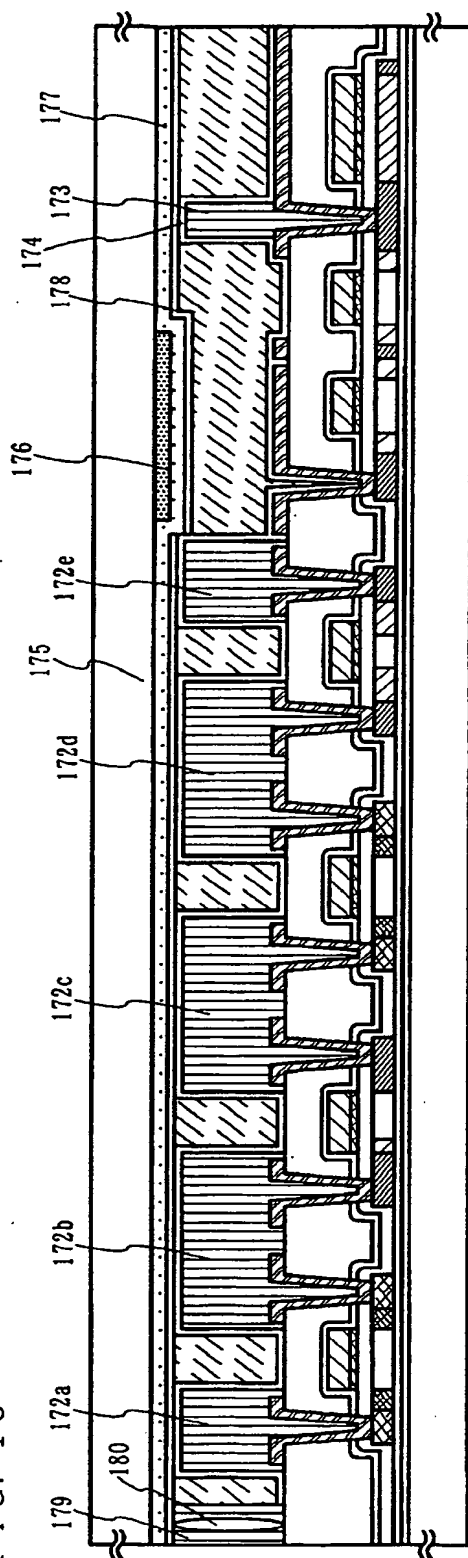


FIG. 14

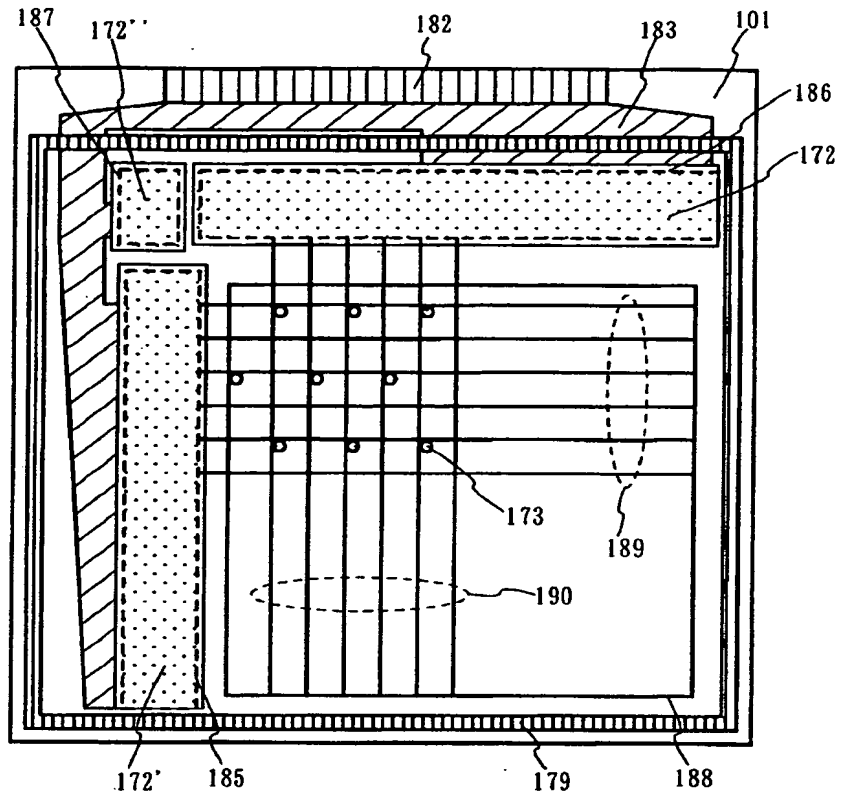
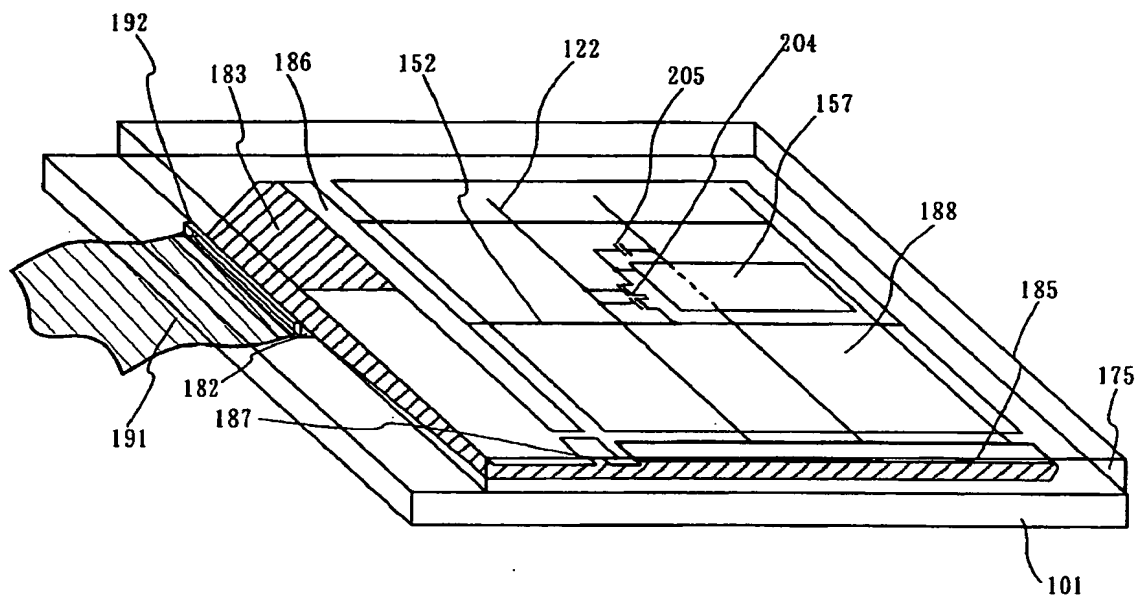
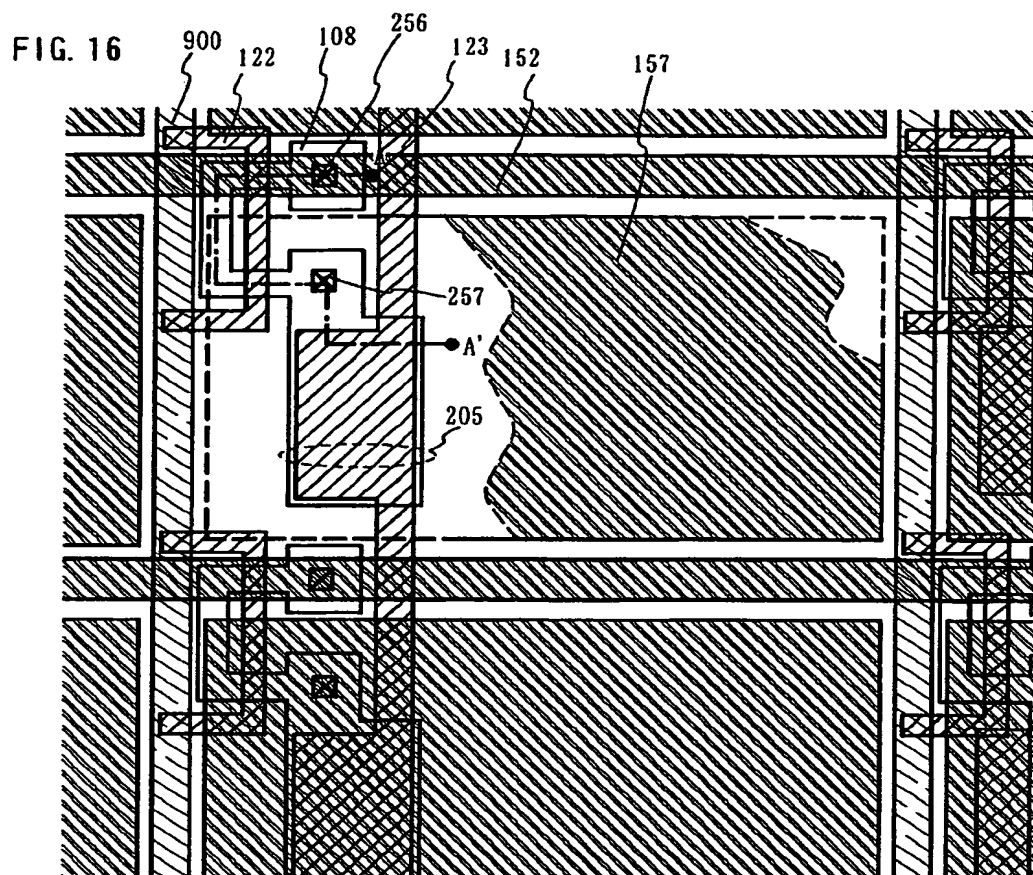


FIG. 15





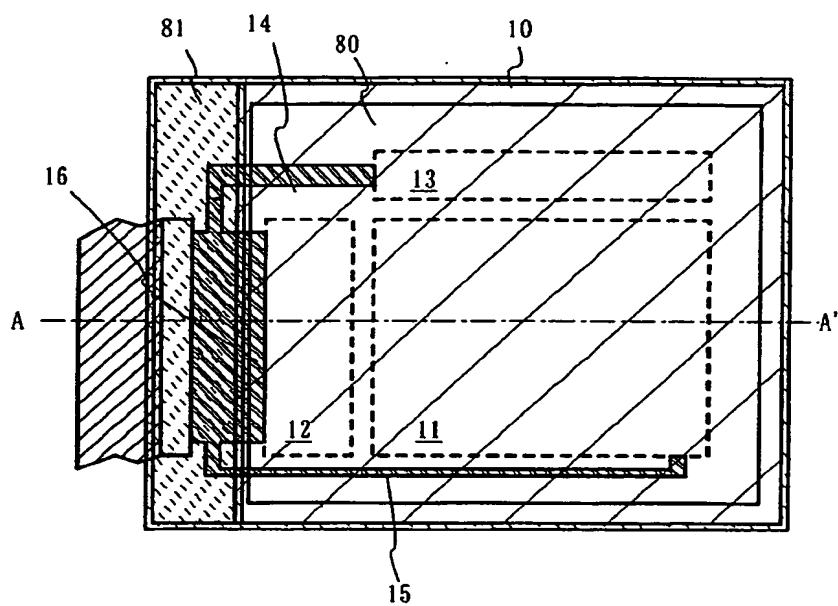


FIG. 17A

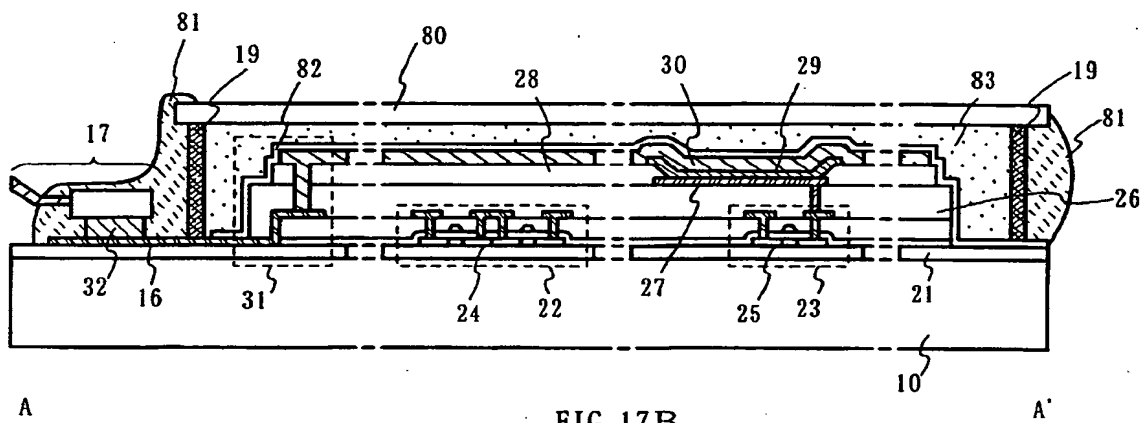


FIG. 17B

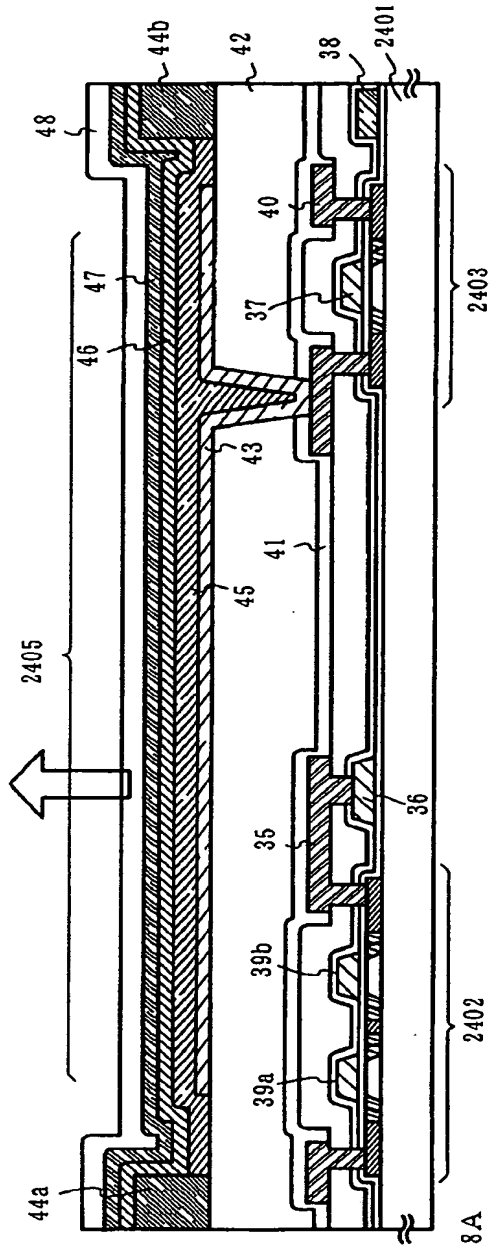


FIG. 18A

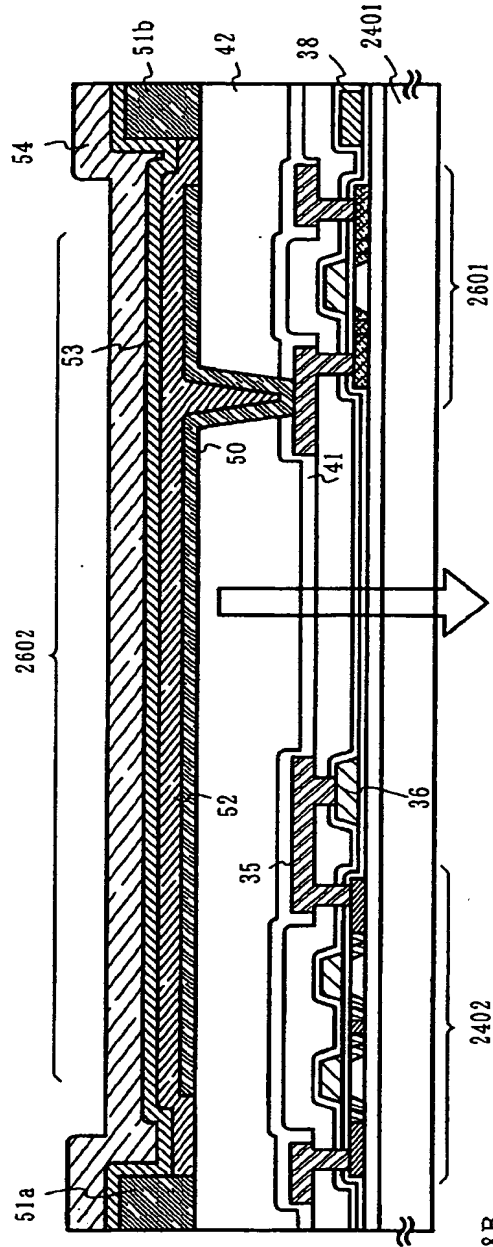


FIG. 18B

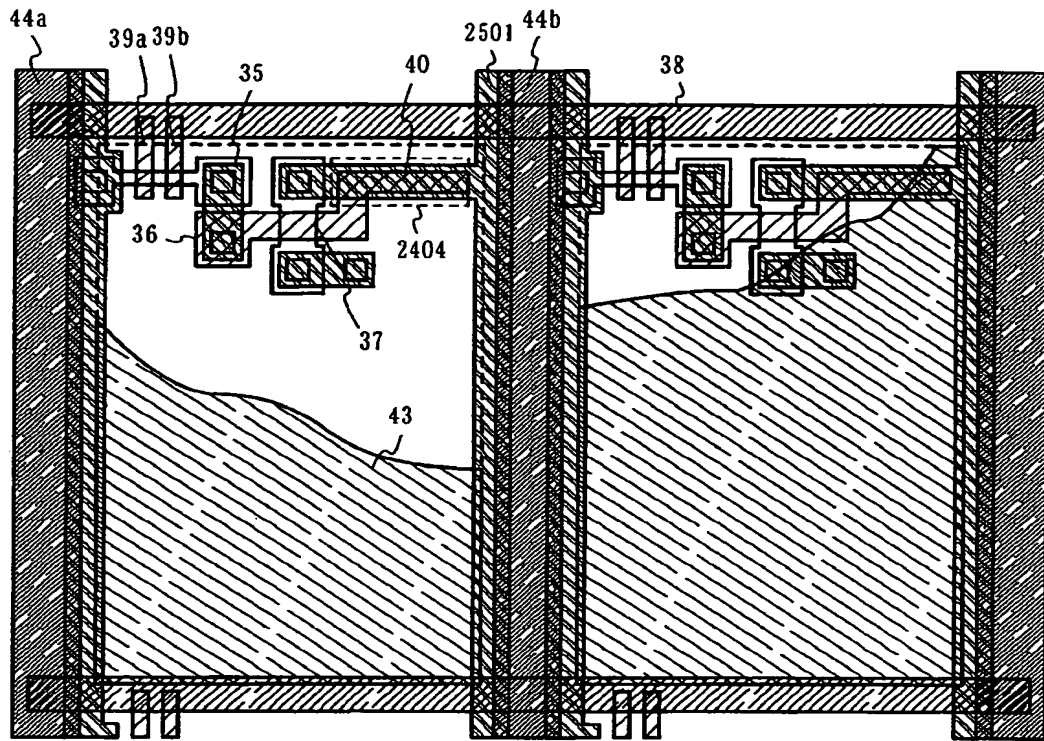


FIG. 19A

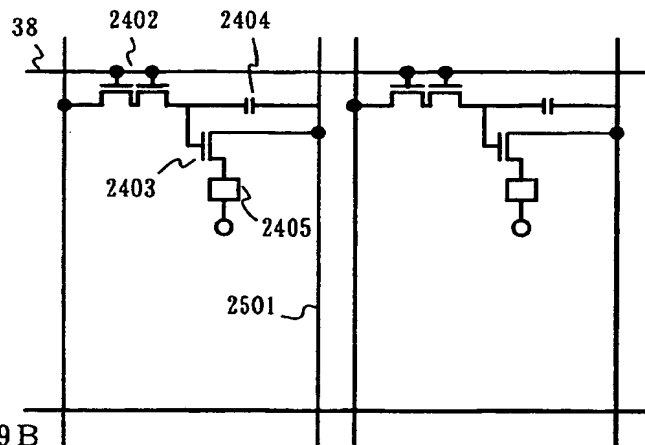


FIG. 19B

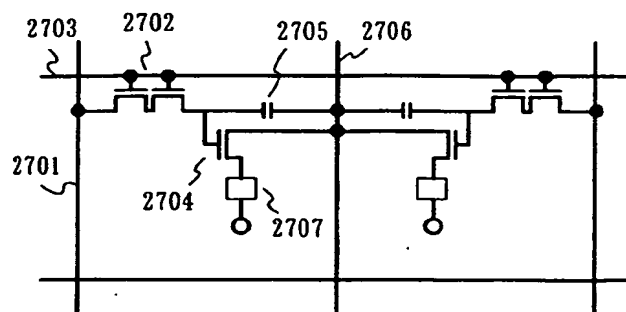


FIG. 20A

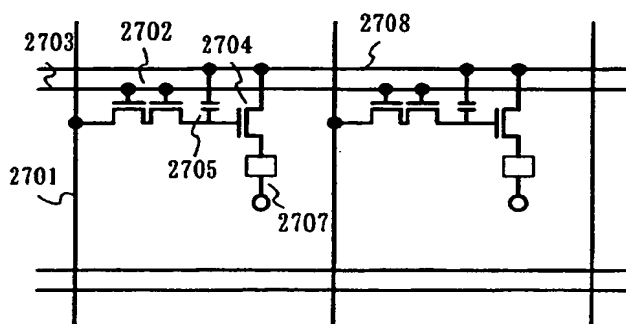


FIG. 20B

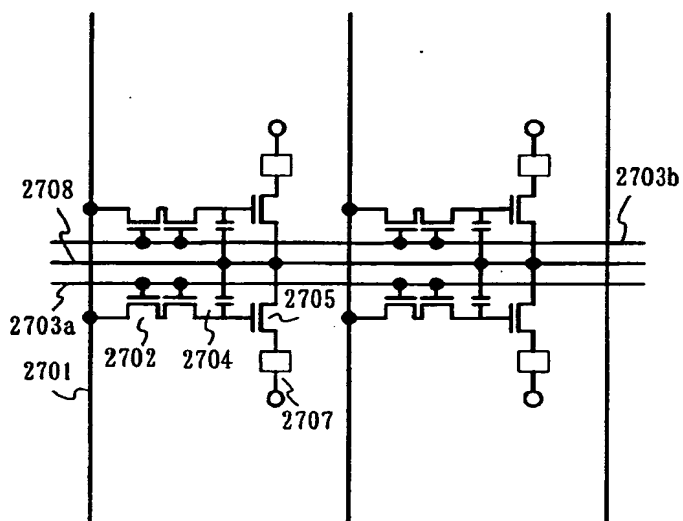


FIG. 20C

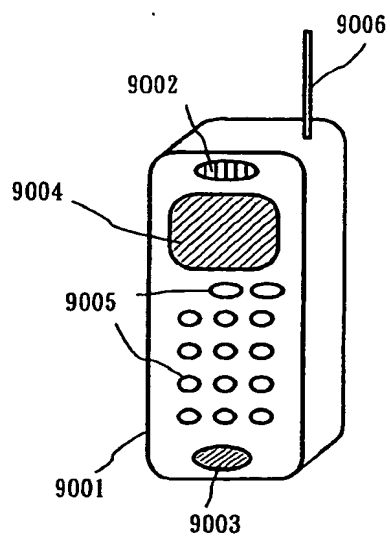


FIG. 21A

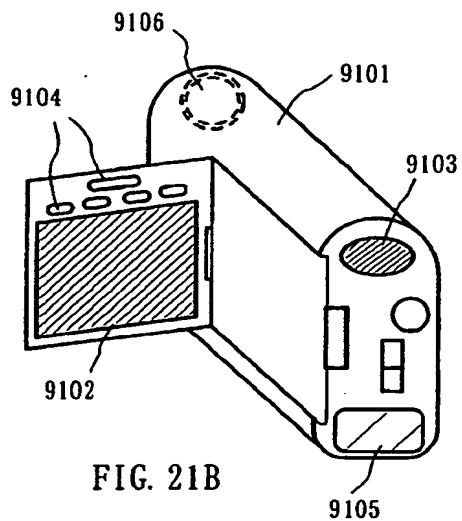


FIG. 21B

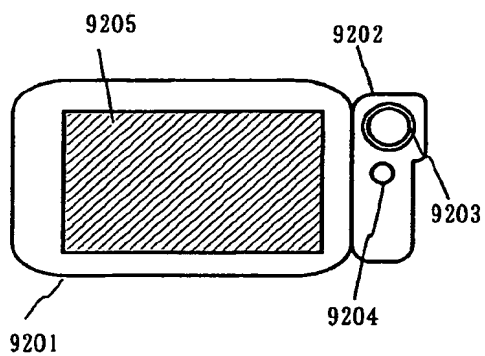


FIG. 21C

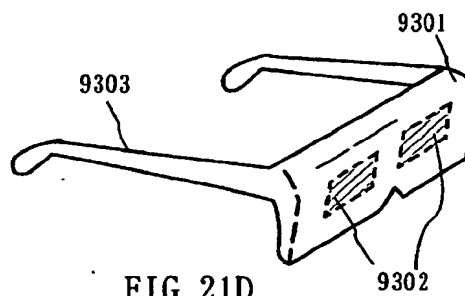


FIG. 21D

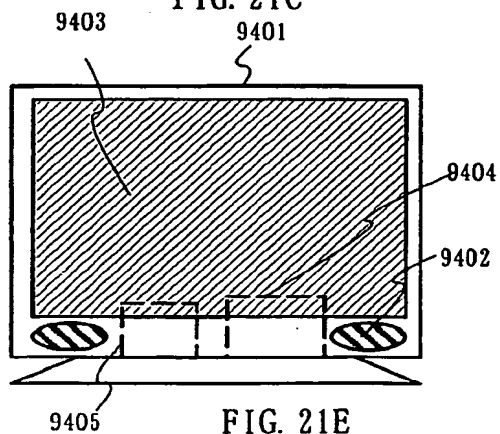


FIG. 21E

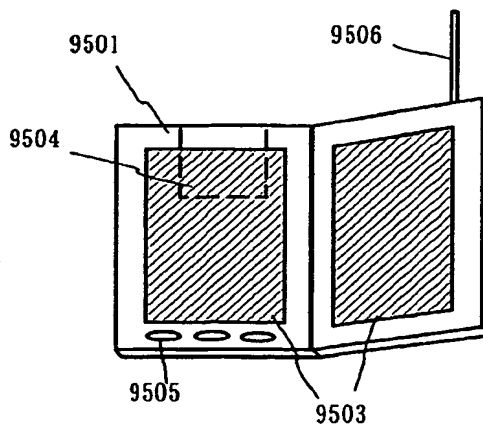


FIG. 21F

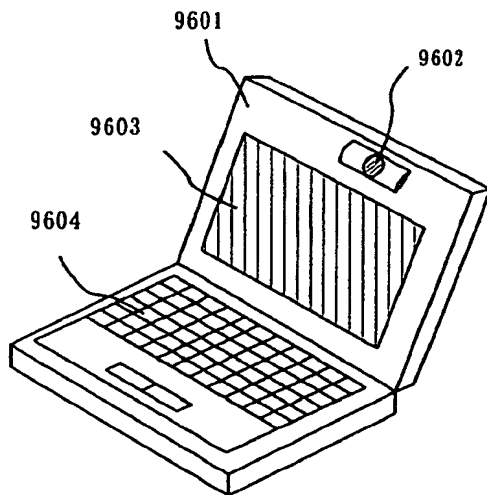


FIG. 22A

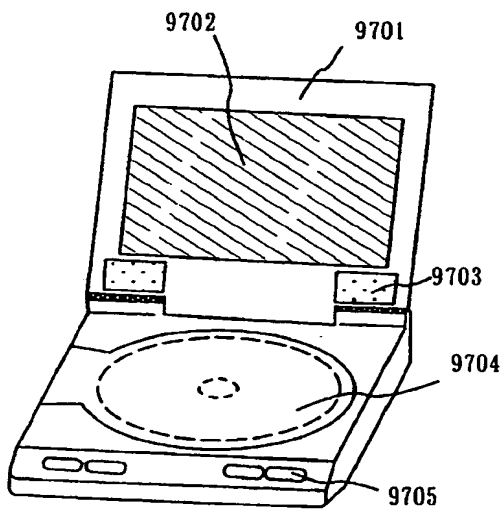


FIG. 22B

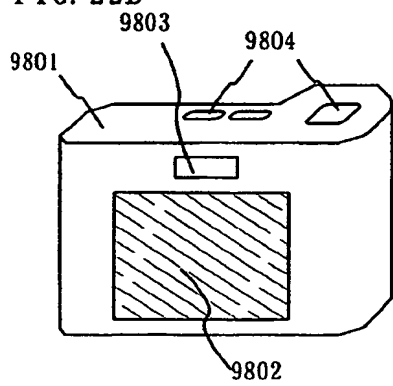


FIG. 22C

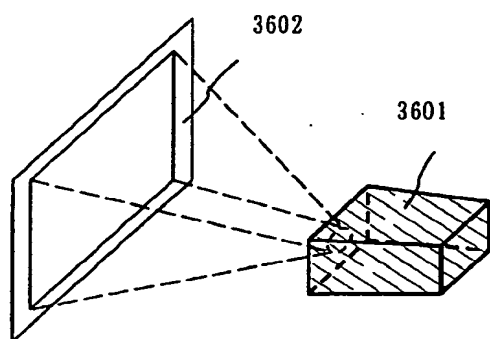


FIG. 23A

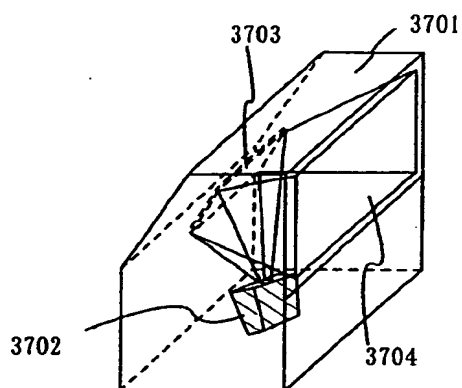


FIG. 23B

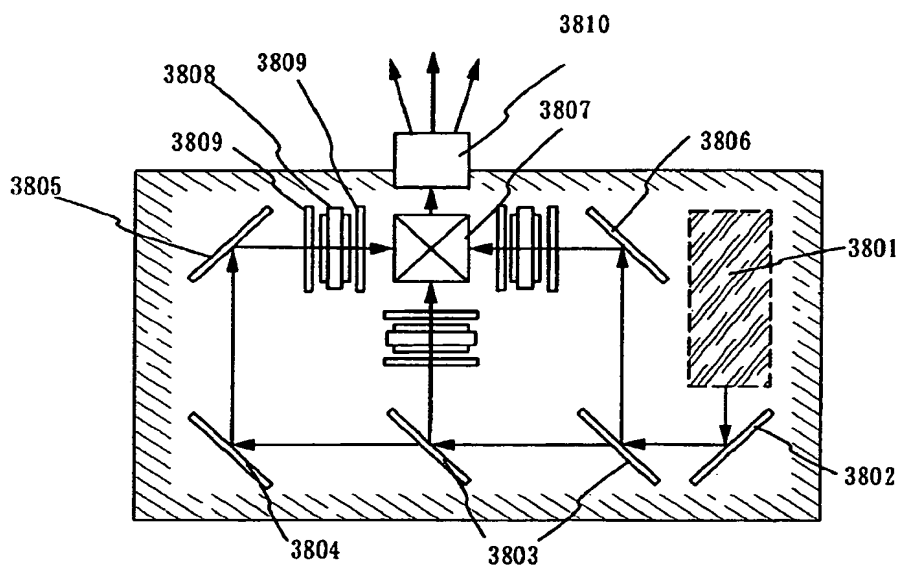


FIG. 23C

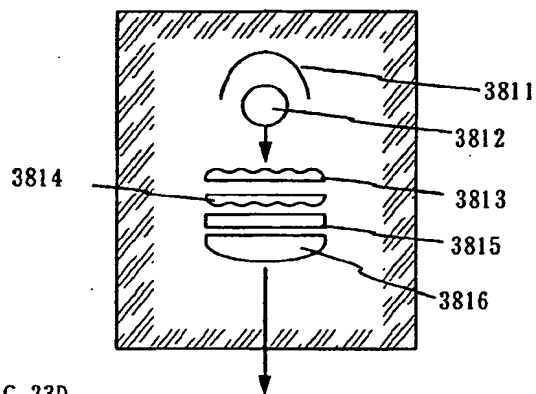


FIG. 23D

FIG.24

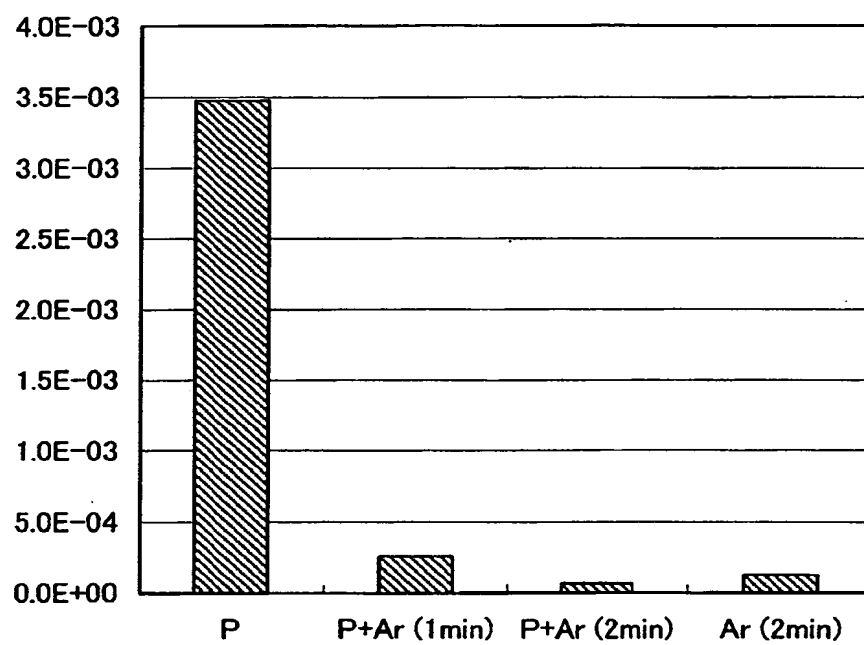
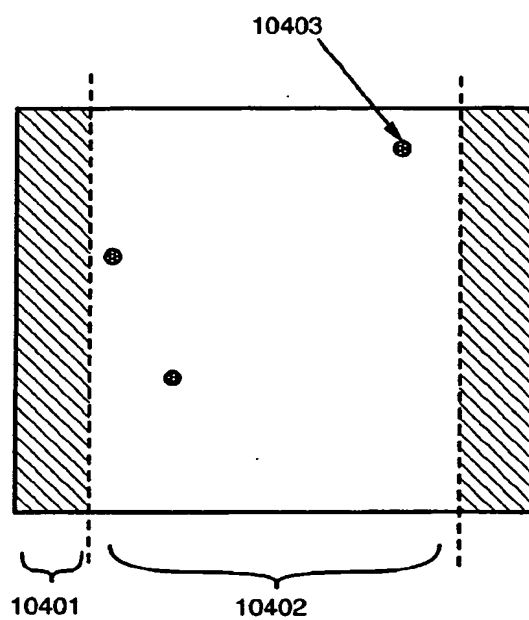


FIG. 25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/09430

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 11-40499, A (Semiconductor Energy Lab. Co., Ltd.), 12 February, 1999 (12.02.99), Full text; Figs. 1 to 9 & US, 6156628, A	6-8
X	JP, 11-54760, A (Semiconductor Energy Lab. Co., Ltd.), 26 February, 1999 (26.02.99), Full text; Figs. 1 to 16 (Family: none)	6-8
X	JP, 11-87733, A (Semiconductor Energy Lab. Co., Ltd.), 30 March, 1999 (30.03.99), Full text; Figs. 1 to 11 (Family: none)	6-8
X	JP, 11-204435, A (Semiconductor Energy Lab. Co., Ltd.), 30 July, 1999 (30.07.99), Full text; Figs. 1 to 15 (Family: none)	6-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
02 April, 2001 (02.04.01)

Date of mailing of the international search report
17 April, 2001 (17.04.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JPO0/09430

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L21/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L21/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2001年
日本国登録実用新案公報 1994-2001年
日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 11-40499, A (株式会社半導体エネルギー研究所) 12. 2月. 1999 (12. 02. 99) 全文, 第1-9図 &US, 6156628, A	6-8
X	J P, 11-54760, A (株式会社半導体エネルギー研究所) 26. 2月. 1999 (26. 02. 99) 全文, 第1-16図 (ファミリーなし)	6-8
X	J P, 11-87733, A (株式会社半導体エネルギー研究所)	6-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

02. 04. 01

国際調査報告の発送日

17.04.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮崎園子

4 L

9 2 7 7

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	30. 3月. 1999 (30. 03. 99) 全文, 第1-11図 (ファミリーなし) JP, 11-204435, A (株式会社半導体エネルギー研究 所) 30. 7月. 1999 (30. 07. 99) 全文, 第1-15図 (ファミリーなし)	6-8